



UNIVERSITA' DEL SALENTO



UNIVERSITÀ DEL SALENTO
FACOLTÀ DI INGEGNERIA
CORSO DI LAUREA IN INGEGNERIA
DELL'INFORMAZIONE

TESI DI LAUREA IN
Microelettronica

CARATTERIZZAZIONE DI UN DISPOSITIVO
VLSI CUSTOM PER L'ACQUISIZIONE
DI SEGNALI VELOCI
DA UN RIVELATORE DI PARTICELLE

RELATORI:

Chiar.mo Prof. Marco Panareo

Chiar.mo Prof. Andrea Baschiroto

CORRELATORI:

Dott. Gabriele Chiodini

Ing. Stefano D'Amico

LAUREANDO:

Cosimo Pierri

Anno Accademico 2006-2007

La teoria è quando si sa tutto ma non funziona niente. La pratica è quando funziona tutto ma non si sa il perché. In ogni caso si finisce sempre con il coniugare la teoria con la pratica: non funziona niente e non si sa il perché.
(Albert Einstein)

Ringraziamenti

Inizialmente vorrei ringraziare il Prof. Marco Panareo per avermi dato la possibilità di svolgere l'attività di tirocinio nel suo laboratorio, mettendo a disposizione la sua esperienza pluriennale per tutto il periodo di tesi.

Un sincero ringraziamento a tutto il personale della sezione di Lecce dell'INFN per la competenza messa a disposizione in questo progetto e per l'infinita disponibilità dimostrata, in particolar da Roberto Assiro, Gabriele Chiodini e Alessandro Corvaglia.

Ringrazio il laboratorio di Microelettronica, in modo particolare l'Ing. Stefano D'Amico per aver costantemente assistito il mio lavoro e risolto prontamente ogni mio problema.

Un ringraziamento speciale ai miei genitori per avermi supportato materialmente e moralmente nell'arco della carriera universitaria, trovando sempre i giusti consigli nei momenti particolarmente difficili di questo percorso di studi.

Vorrei esprimere tutta la mia gratitudine a Sandra Schirinzi per l'immane appoggio morale concesso e la tolleranza dimostrata durante tutto il periodo di tirocinio e della tesi.

L'ultimo ringraziamento, non per questo meno importante, è per tutte le persone che, inconsciamente o meno, mi hanno aiutato a raggiungere questo traguardo. Non voglio e non posso elencarle tutte, ma ognuna di loro sa in cuor suo quanto può essermi stata vicino, non solo nell'ambito universitario; cosa che non dimenticherò mai.

Grazie a tutti, di cuore.

Indice

Introduzione.....	1
Capitolo 1	3
I rivelatori a gas e la tecnica del Cluster Counting.....	3
1.1 I rivelatori a gas	4
1.1.1 Configurazioni geometriche di un rivelatore a gas	5
1.1.2 La Camera a Drift	6
1.2 La tecnica del Cluster Counting.....	9
Capitolo 2	13
Dispositivo VLSI di Front-End per un rivelatore a gas	13
2.1 Tecnologia CMOS VLSI e schema di principio	13
2.2 Architettura del Chip	15
2.3 Il preamplificatore.....	18
2.3.1 Schema elettrico e caratteristiche	20
2.3.2 Il buffer d'uscita.....	23
2.4 Il convertitore analogico-digitale.....	23
2.4.1 Principio di funzionamento.....	27
2.5 Il generatore di clock	30
2.6 Il layout fisico del chip	33
Capitolo 3	36
Progetto e realizzazione della scheda di test.....	36
3.1 Strumenti software utilizzati.....	36
3.2 Progettazione di un circuito stampato.....	37
3.3 Creazione di uno schema elettrico	41
3.3.1 Definizione virtuale dei componenti.....	43
3.4 Il circuito elettrico della scheda.....	45
3.4.1 Stadio d'uscita CMOS-LVDS	49
3.4.2 La sezione di potenza.....	52
3.5 Preparazione alla creazione del Layout	56
3.5.1 Definizione del package dei componenti.....	57

3.6 Realizzazione del layout della scheda di test.....	59
3.6.1 Stack-up della scheda.....	60
3.6.2 Piani di potenza e di massa.....	63
3.6.3 Placing dei componenti e Routing delle piste di collegamento.....	65
3.6.4 I file denominati Gerber.....	69
Capitolo 4	72
Misure preliminari con la scheda di test.....	72
4.1 Setup sperimentale.....	73
4.2 Misura di banda e guadagno dell'amplificatore.....	75
4.3 Misure di linearità.....	78
Conclusioni e sviluppi futuri	81
Appendici	82
Appendice A.....	83
Circuito Elettrico della Scheda di Test.....	83
Appendice B.....	89
Layout della Scheda di Test.....	89
Bibliografia	94

Introduzione

La presente tesi è stata svolta nell'ambito di un progetto di collaborazione fra un gruppo di Fisici dell'Istituto Nazionale di Fisica Nucleare (INFN) ed un gruppo di Ingegneri del Dipartimento di Microelettronica dell'Università del Salento.

La collaborazione nasce dalla necessità di promuovere l'attività di ricerca nel settore della fisica delle alte energie, il cui principale obiettivo è quello di comprendere la natura e le proprietà di interazione delle particelle subatomiche. Il raggiungimento di tale obiettivo presuppone la necessità di effettuare esperimenti sempre più evoluti, avvalendosi di dispositivi di rivelazione sempre più sofisticati ed avanzati.

La ricerca attualmente in corso presso i laboratori dell'I.N.F.N. di Lecce è orientata a migliorare la risoluzione spaziale e l'identificazione di particelle cariche di un rivelatore a gas mediante il conteggio dei singoli atti di ionizzazione che avvengono all'interno (tecnica del Cluster Counting).

Questa tecnica richiede lo sviluppo di un'elettronica di Front-End di basso costo, alta velocità e ridotta dissipazione di potenza. Inoltre, una volta ottenute le informazioni dal rivelatore, un valido sistema di acquisizione dei segnali basato su dispositivi logici programmabili (FPGA) deve essere in grado di interfacciarsi con l'elettronica di lettura.

La tecnologia CMOS ha consentito di realizzare un completo sistema di elaborazione del segnale su un singolo chip, garantendo, grazie all'elevata scala di integrazione, la contemporanea presenza dello stadio di amplificazione e di conversione analogico-digitale del segnale in uscita dal rivelatore. Tale scelta, considerando il gran numero di canali d'uscita richiesto da un esperimento di alta energia, ha migliorato globalmente le prestazioni dell'elettronica di acquisizione, riducendo fortemente i costi, l'area coperta dall'elettronica e la potenza dissipata. Il circuito integrato è stato realizzato in tecnologia CMOS 0.13 μm , con consumo di potenza limitato a circa 45mW per canale.

L'obiettivo principale del presente lavoro di tesi è stato quello di progettare una scheda stampata (Printed Circuit Board o PCB) a componenti discreti destinata ad ospitare il chip integrato e tutta l'elettronica necessaria per sua la fase di test.

Dopo una preliminare definizione dei segnali e delle procedure necessarie al corretto funzionamento del dispositivo, si è passati alla fase di progettazione dello schema

circuitale adeguato alla completa caratterizzazione del dispositivo e all'implementazione realizzativa della scheda. Nel presente lavoro di tesi è stato anche possibile compiere dei test preliminari di caratterizzazione del circuito mediante la scheda sviluppata. Questi test hanno permesso di misurare la risposta in frequenza e la linearità dello stadio di amplificazione presente nel chip integrato.

Nel Capitolo 1 è presente una completa descrizione dei rivelatori a gas e della tecnica del Cluster Counting utilizzata nell'esperimento.

Nel Capitolo 2 sarà illustrata l'architettura del chip descrivendo in modo dettagliato ogni blocco ad esso relativo.

Nel Capitolo 3 sarà descritto in dettaglio il processo di progettazione del circuito stampato di test e gli strumenti software utilizzati a tale scopo.

Nel Capitolo 4 saranno quindi introdotte le preliminari misure sperimentali effettuate sullo stadio di amplificazione del chip integrato.

Le conclusioni finali elencano gli obiettivi raggiunti e le prospettive future relative al lavoro svolto.

Le due appendici A e B sono state inserite per illustrare in modo completo i dettagli dello schema circuitale e del layout fisico della scheda di test .

Capitolo 1

I rivelatori a gas e la tecnica del Cluster Counting

Un esperimento di fisica ad alte energie in genere richiede tre componenti fondamentali: un acceleratore di particelle, un bersaglio ed un rivelatore di particelle.

La funzione dell'acceleratore è quella di accelerare fasci di particelle cariche mediante l'utilizzo di opportuni campi elettromagnetici. Successivamente tali fasci di particelle vengono fatti collidere tra loro o con un opportuno bersaglio.

Il compito del rivelatore è di registrare le informazioni sulle particelle prodotte in seguito alle collisioni. La maggior parte delle particelle prodotte in una collisione hanno una vita molto breve, e decadono prima di raggiungere il rivelatore. Quindi solo le particelle più stabili, prodotte alla fine della catena di decadimento e comunemente dette *particelle dello stato finale*, sono registrate direttamente. Le particelle primarie prodotte nella collisione sono ricostruite indirettamente attraverso le misure effettuate sulle particelle dello stato finale.

Un tipico rivelatore consiste di vari sottomoduli, ognuno dei quali svolge una specifica funzione a seconda del tipo d'interazione che ha con le particelle ed il segnale rilevato.

Due importanti sottomoduli sono: il sistema di tracciamento ed il calorimetro. Il sistema di tracciamento è generalmente immerso in un campo magnetico e permette di effettuare misure di posizione, carica ed impulso delle particelle cariche. Il calorimetro permette di effettuare misure dell'energia rilasciata e della posizione di particelle cariche e neutre. Entrambi le tecniche contribuiscono ad identificare il tipo di particella.

La nostra attenzione sarà rivolta sul lavoro di ricerca che si sta svolgendo attualmente presso i laboratori dell'I.N.F.N. di Lecce, ove si sta studiando la tecnica di identificazione delle particelle cariche mediante il conteggio dei singoli cluster di ionizzazione di un rivelatore a gas. Tale tecnica prende il nome di Cluster Counting.

1.1 I rivelatori a gas

In fisica delle particelle un rivelatore è un dispositivo che rivela la presenza di particelle, ed eventualmente altre grandezze, come l'energia cinetica, il tempo d'arrivo, la posizione e l'impulso delle particelle stesse.

I principi fondamentali su cui si basa la rivelazione delle particelle sono legati alla conoscenza delle interazioni elettromagnetiche di tali particelle con la materia, come i processi di ionizzazione.

I rivelatori a gas sfruttano la ionizzazione prodotta dal passaggio di un fotone o di una particella carica in un mezzo gassoso; in tale processo un elettrone viene rimosso da un atomo o da una molecola in modo da creare una coppia elettrone-ione. La ionizzazione è un processo di natura statistica, che ha luogo quando una particella carica entrando in un mezzo cede una quantità di energia uguale o maggiore del potenziale di ionizzazione di un elettrone degli atomi del mezzo. Il numero di coppie generato è proporzionale all'energia depositata nel dispositivo e dipende più dal tipo di gas che dal tipo di radiazione ionizzante.

Un gas è un mezzo naturale per la raccolta della ionizzazione provocata dalla radiazione, grazie alla grande mobilità che in esso hanno ioni ed elettroni liberi.

Esistono diverse configurazioni di rivelatori a gas, ma tutti sono costituiti da: un contenitore riempito con un gas facilmente ionizzabile e da due elettrodi (anodo e catodo) a cui è applicato un differente potenziale elettrico. Il campo elettrico, così generato, raccoglie gli elettroni verso l'anodo e gli ioni verso il catodo, inducendo un segnale in uscita che dipende dal potenziale applicato.

I rivelatori a gas lavorano in un regime proporzionale se il campo elettrico è sufficientemente intenso da far acquistare agli elettroni primari un'energia cinetica

sufficiente ad ionizzare gli atomi del gas, producendo una moltiplicazione a valanga di coppie ioni-elettroni.

Utilizzando una configurazione geometrica piana, ove il campo elettrico è uniforme, la ionizzazione totale dipenderà dalla lunghezza del percorso e dal punto in cui è avvenuta la ionizzazione. Per eventi con la stessa energia, quindi, l'ampiezza del segnale varierà con la posizione, perdendo così la relazione fra segnale ed energia depositata.

Questo problema può essere risolto utilizzando una geometria cilindrica. In questo caso il campo è inversamente proporzionale alla distanza dall'asse di simmetria. Quindi la moltiplicazione a valanga avviene solo in prossimità dell'asse ove il campo è intenso.

1.1.1 Configurazioni geometriche di un rivelatore a gas

I rivelatori a gas presentano due tipiche configurazioni:

- a) Geometria planare.
- b) Geometria cilindrica.

Le due si differenziano principalmente per i diversi andamenti dei campi elettrici al loro interno. In una struttura planare il campo elettrico è uniforme ed è dato dalla formula:

$$E = \frac{V_0}{d},$$

dove d è la distanza fra catodo e anodo e V_0 la differenza di potenziale. In Figura 1.1(A) è mostrato l'andamento delle linee di forza.

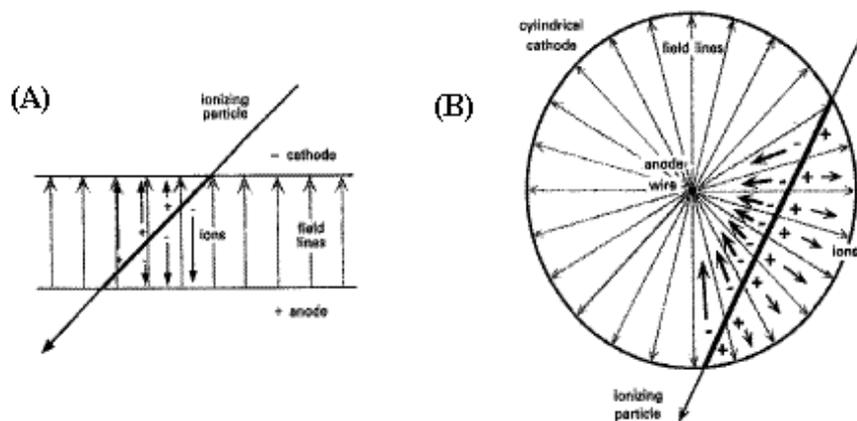


Figura 1.1: Rivelatore a gas in configurazione planare (A) e cilindrica (B).

Nella configurazione cilindrica il campo elettrico è dato dall'espressione:

$$E = \frac{1}{r} \frac{V_0}{\ln(b/a)},$$

dove r è la distanza radiale dal filo conduttore centrale (anodo), a il suo raggio, b è il raggio interno del conduttore esterno (catodo) e V_0 la differenza di potenziale. In Figura 1.1 (B) è mostrato l'andamento delle linee di forza.

Per la rivelazione di particelle in volumi estesi si utilizzano delle particolari strutture realizzate attraverso l'accostamento di più rivelatori funzionanti in regime proporzionale all'interno dello stesso volume gassoso, come:

la Camera Multi-Filo (MPWC), ottenuta includendo nello stesso volume gassoso una serie di fili proporzionali sottili e paralleli, che fungono da anodi indipendenti e separati alcuni millimetri l'uno dall'altro, disposti tra pareti piane, che costituiscono il catodo;

la Time Projection Chamber (TPC), ottenuta mediante un enorme volume cilindrico immerso in un intenso campo magnetico parallelo ad un campo elettrico di deriva, racchiuso longitudinalmente da due camere multi-filo ed in grado di ricostruire le tracce in tre dimensioni fornendo informazioni sulla perdita specifica di energia (dE/dx);

ed infine, la Camera a Deriva (Drift Chamber), ottenuta includendo nello stesso volume gassoso una serie di fili proporzionali sottili, che fungono da anodi e catodi indipendenti e separati alcuni centimetri tra loro.

1.1.2 La Camera a Drift

La *Drift Chamber* (Camera a Deriva) è un dispositivo di tracciamento utilizzato in molti sistemi di rivelazione. La camera lavora in regime proporzionale ed è riempita di un gas opportuno. Essa può contenere alcune migliaia di fili in relazione alla risoluzione spaziale richiesta. I fili presenti sono suddivisi in fili di campo (*field wire*) che definiscono il campo elettrico, e in fili di sensing (*sense wire*) che invece raccolgono gli elettroni di ionizzazione. La moltiplicazione a valanga, generata dal potenziale applicato, è convertita in un segnale elettrico.

La distanza d tra la traiettoria della particella ionizzante ed il filo di sensing, può essere determinata dal tempo t_{filo} che gli elettroni prodotti impiegano per giungere sui fili di sensing, attraverso la formula:

$$d = \int_{t_0}^{t_{filo}} v_{deriva} dt ,$$

dove v_{deriva} è la velocità con cui gli elettroni si muovono nel gas verso il filo di sensing e t_0 è il tempo misurato da un rivelatore esterno (ad esempio uno scintillatore, come riportato in Figura 1.2) che fornisce un segnale praticamente istantaneo al passaggio della particella.

La *velocità di deriva* è determinata dal campo elettrico e dal gas presente all'interno della camera. Perciò per poter raggiungere una buona risoluzione spaziale è necessario che il campo elettrico, e quindi la velocità di deriva, siano parametri ben controllati.

Per poter lavorare con velocità di deriva costanti, dunque con campi elettrici il più possibile uniformi lungo l'intero volume della camera, si alternano fili anodici collegati a massa (*sense wire*) e fili a potenziale positivo (*field wire*).

In Figura 1.2 è possibile vedere schematicamente il principio di funzionamento di una Camera a Drift di tipo planare e la sua configurazione geometrica.

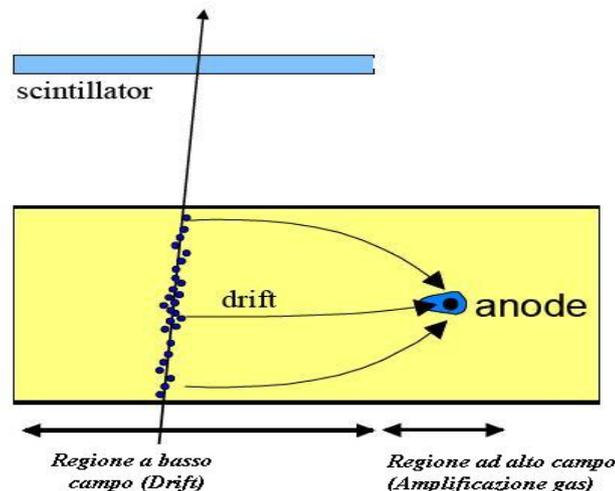


Figura 1.2: Struttura e principio di funzionamento di una Camera a Drift di tipo planare.

Le camere a drift planari misurano solamente la distanza tra la traccia con il piano dei fili, per cui occorrono più piani per determinare una traiettoria. Solitamente i fili di

sensing dei diversi piani hanno diverse angolazioni, in modo da ottenere la misura di proiezioni diverse, offrendo la possibilità di ricostruire la traccia nello spazio.

La camera a drift di tipo cilindrico ha una configurazione geometrica come mostrato in Figura 1.3.

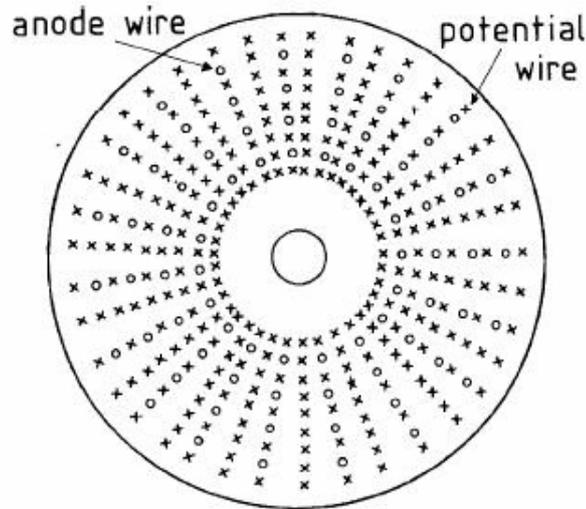


Figura 1.3: Configurazione di una Camera a Drift di tipo cilindrico.

Osservando la disposizione dei fili di Figura 1.3 si può notare la presenza di strutture concentriche dove si alternano strutture con soli fili di campo e strutture con fili di campo e di sensing. Questo tipo di configurazione è denominata a Celle di Deriva Esagonali come possiamo notare nella Figura 1.4, la quale riporta anche l'andamento delle linee di forza del campo elettrico creato.

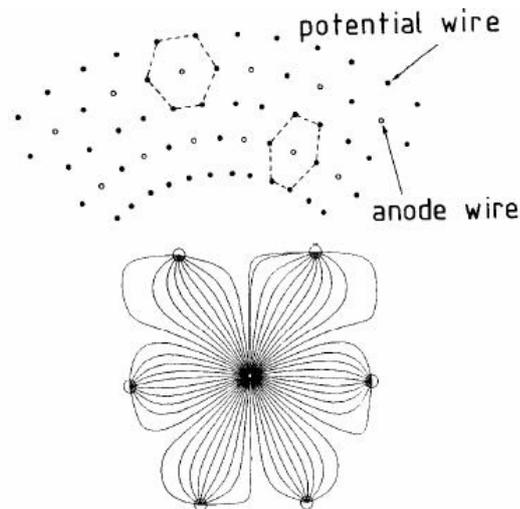


Figura 1.4: Camera a Drift a celle di deriva esagonali e andamento delle linee di forza del campo elettrico.

La forma esagonale è la soluzione ottimale per poter avere una piccola quantità di materia all'interno del volume attivo della camera di deriva e una configurazione elettrostatica simile a quella di una cella circolare.

Un fattore limitante della Camera a Drift cilindrica tradizionale è la nulla risoluzione lungo l'asse longitudinale z parallelo ai fili. Questo viene superato inclinando i diversi strati di fili rispetto all'asse z . Questo tipo di configurazione geometrica viene detta *geometria stereo* (Figura 1.5).



Figura 1.5: *Disposizione geometrica longitudinale dei fili in una Camera a Deriva cilindrica di tipo stereo e standard.*

Con la geometria stereo ed angoli d'inclinazione rilevanti, si possono raggiungere risoluzioni di alcune centinaia di micron lungo z e garantire un'efficiente ricostruzione della traccia nello spazio.

1.2 La tecnica del Cluster Counting

Come esposto nei paragrafi precedenti, una particella che attraversa il volume sensibile di un rivelatore di gas crea un certo numero di coppie elettrone-ione lungo il suo cammino. Ad ogni interazione di ionizzazione, a seconda della quantità di energia rilasciata, la particella libera una o più coppie elettrone-ione che indicheremo col nome di *Cluster*. La distanza tra cluster consecutivi segue una distribuzione esponenziale con media λ , che rappresenta il libero cammino medio di ionizzazione della particella. Il valore medio di λ dipende dalla natura, dalla pressione e dalla temperatura del gas. La distribuzione k del numero di cluster segue la statistica di Poisson secondo la formula:

$$P(n, k) = \frac{n^k}{k!} e^{-n},$$

dove $n = L/\lambda$ è il numero medio di cluster ed L è lo spessore del mezzo attraversato. Nella Figura 1.6 si evidenziano i parametri geometrici più rilevanti legati al fenomeno per un tubo a drift di raggio R .

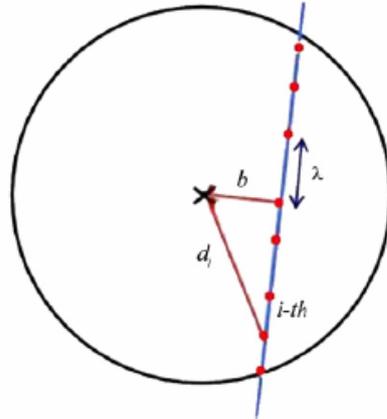


Figura 1.6: Vista schematica di una distribuzione di cluster lungo la traccia della particella ionizzante; b è il parametro d'impatto della traccia, λ è la distanza media tra i cluster e d_i la distanza del cluster i -esimo dal filo anodico.

Il metodo di conteggio dei cluster consiste nell'individuazione, in ogni cella della camera di deriva attraversata dalla traccia, degli impulsi elettrici isolati nel tempo legati all'arrivo sul filo anodico degli elettroni appartenenti ai singoli atti di ionizzazione.

Al fine di raggiungere questo obiettivo due particolari condizioni sperimentali devono essere soddisfatte. Gli impulsi di elettroni provenienti da diversi cluster devono avere una ridotta probabilità di sovrapposizione nel tempo e, contemporaneamente, l'intervallo di tempo tra impulsi generati da elettroni appartenenti allo stesso cluster deve essere piccolo, in modo da impedire il conteggio ripetuto.

Un parametro di qualità della misura è la fluttuazione statistica del numero di cluster, pari alla radice quadrata del numero totale di cluster. La risoluzione spaziale risulta limitata dal parametro d'impatto della ionizzazione primaria e dalla diffusione di elettroni a grandi distanze di deriva.

In un rivelatore a gas la risoluzione spaziale e l'identificazione della particella possono essere massimizzate attraverso la raccolta di tutta la carica di ionizzazione e la misura dei tempi e delle ampiezze degli impulsi prodotti dai singoli cluster.

La miscela di gas maggiormente utilizzata negli esperimenti di fisica ad alta energia è a base di Argon per via del basso potenziale di ionizzazione, dell'alta velocità di deriva e della bassa diffusione elettronica. Tuttavia, per queste miscele, la tecnica del *Cluster Counting* è difficilmente applicabile, poiché, data la considerevole ionizzazione prodotta nell'Argon, il tempo tra due cluster consecutivi è troppo breve per essere risolto dai dispositivi elettronici attuali.

La scelta di una miscela a base di Elio, invece, grazie ad un più alto potenziale di ionizzazione (24.6eV) e un più basso valore della velocità di deriva, rispetto all'Argon, produce un numero minore di elettroni primari che derivano verso l'anodo più lentamente. Ciò consente di avere una maggiore separazione temporale tra cluster consecutivi, misurabile con la tecnologia odierna.

Nei rivelatori a gas è però necessario introdurre una piccola quantità di gas soppressore dei fotoni UV, come l'isobutano, per inibire l'autosostenimento di scariche nel gas.

Il valore approssimativamente costante della velocità di deriva in una miscela a base di elio assicura una relazione lineare distanza-tempo in un grande intervallo di valori del campo elettrico. Questo permette di ottenere una relazione spazio-temporale sufficientemente uniforme tra i fili di sensing e di campo.

Dopo una completa e attenta analisi si è giunti alla conclusione che il conteggio di un singolo cluster può essere eseguito efficientemente, in una miscela composta di 90% elio e 10% isobutano, a condizione che l'elettronica di lettura abbia tempi di salita dei segnali inferiori ad 1ns e frequenza di campionamento non inferiore ad 1GS/s.

Gli studi relativi alla tecnica del Cluster Counting, applicata ad una camera a deriva, hanno come obiettivo il raggiungimento di una risoluzione trasversale nello spazio di 50 μ m e dunque, per una geometria stereo, una risoluzione longitudinale di 300 μ m. Risultato che in una TPC richiederebbe un numero di canali attivi più grande almeno di un fattore 100 rispetto alla camera a deriva. Inoltre, il Cluster Counting, grazie alla determinazione statistica dei cluster lungo la traccia, oltre a migliorare la risoluzione in posizione e momento, permette una più accurata identificazione della particella stessa.

Abbiamo visto come in una miscela di gas a base di elio sia possibile applicare la tecnica del Cluster Counting ricorrendo a dispositivi sufficientemente veloci. In questo lavoro si è affrontata tale problematica mediante un sistema di lettura composto da un veloce preamplificatore a larga banda passante e da un convertitore analogico-digitale

(ADC) ad alta velocità di conversione implementato in un dispositivo VLSI (Very Large Scale Integration) in tecnologia CMOS (Complementary Metal Oxide Semiconductor).

Capitolo 2

Dispositivo VLSI di Front-End per un rivelatore a gas

In questo capitolo si presenteranno le soluzioni circuitali adottate per la realizzazione del prototipo di circuito integrato VLSI in tecnologia CMOS da impiegare in un rivelatore a gas per un esperimento ad alta energia.

Il dispositivo integrato deve essere in grado di convertire il segnale analogico in uscita dal rivelatore in una sequenza di parole digitali elaborabili in modo efficiente e flessibile con l'ausilio di dispositivi programmabili.

Nei successivi paragrafi saranno descritti in dettaglio lo schema elettrico ed i blocchi funzionali del circuito integrato, senza specificare le relative scelte tecnologiche che hanno portato alla sua implementazione.

2.1 Tecnologia CMOS VLSI e schema di principio

Una implementazione realistica della tecnica del Cluster Counting necessita di ricorrere alla tecnologia integrata. Infatti, considerando il gran numero di canali d'uscita richiesti da un esperimento di alta energia, si ha il bisogno di ridurre fortemente i costi, l'area

coperta dall'elettronica e la potenza dissipata. Tale scelta riduce anche la presenza di capacità parassite sui canali d'uscita, migliorando globalmente le prestazioni dell'elettronica di acquisizione.

La recente tecnologia CMOS con cui si realizzano i circuiti integrati permette di soddisfare tali richieste. Per questo motivo il circuito integrato è stato realizzato in tecnologia CMOS 0.13 μm , consentendo di rispettare le richieste del progetto con consumo di potenza limitato a circa 45mW per canale, valore accettabile se si considera il gran numero di canali di una camera a deriva.

Lo schema di principio del canale di lettura è mostrato schematicamente nella Figura 2.1.

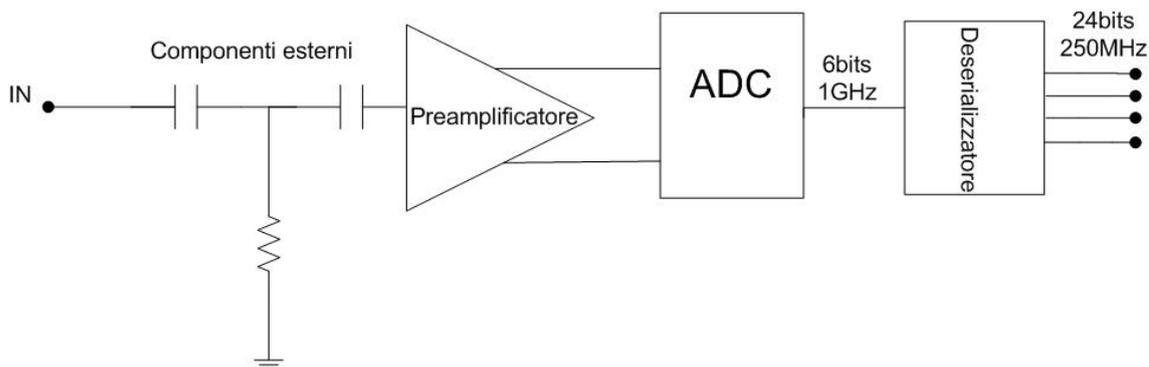


Figura 2.1: Schema di principio del canale di lettura del segnale d'uscita del rivelatore.

I fili attivi del rivelatore possono essere considerati delle vere e proprie linee di trasmissione, la cui impedenza deve essere adattata al generatore di segnale utilizzato. Come mostra la Figura 2.1, l'adattamento di impedenza con il rivelatore è ottenuto attraverso l'uso di un preciso resistore esterno che ha un'accuratezza migliore rispetto ad un resistore integrato che presenta tipicamente una tolleranza di circa il 30% a causa dell'incertezza del processo di crescita. Le conseguenti riflessioni, dovute al disadattamento d'impedenza della linea, alterano il segnale in maniera significativa.

Il canale di lettura include un preamplificatore veloce, con una larghezza di banda di 500MHz a -3dB di guadagno seguito da un convertitore analogico-digitale (ADC) con un'accuratezza di 6bit e frequenza di campionamento di 1GS/s.

L'accuratezza raggiungibile dall'ADC a 6 bit è sufficiente per dimostrare l'applicabilità della tecnica del Cluster Counting, garantendo buone caratteristiche in termini di velocità di risposta.

Il circuito opera in modalità mista, comprendente sia una parte analogica che una parte digitale. La parte digitale produce una notevole quantità di rumore tra massa ed alimentazione che, generalmente, potrebbe costituire un disturbo di modo comune per la parte analogica. Per tale motivo lo schema circuitale adottato presenta una struttura differenziale che garantisce una maggiore immunità al rumore di modo comune e una migliore linearità.

Per poter interfacciare il dispositivo nei test di banco è stato implementato un deserializzatore che riduce il data-rate di uscita da 1GS/s a 250MS/s su un bus a 24bit.

In una successiva implementazione del prototipo sarà possibile implementare sul chip stesso l'elaborazione del segnale, riducendo il data-rate in uscita e semplificando il sistema di acquisizione.

2.2 Architettura del Chip

In Figura 2.2 è mostrata l'architettura generale del chip di lettura in cui sono presenti i seguenti blocchi funzionali:

1. gli stadi di alimentazione
2. il preamplificatore
3. il buffer d'uscita
4. il convertitore analogico-digitale (ADC)
5. il generatore di clock

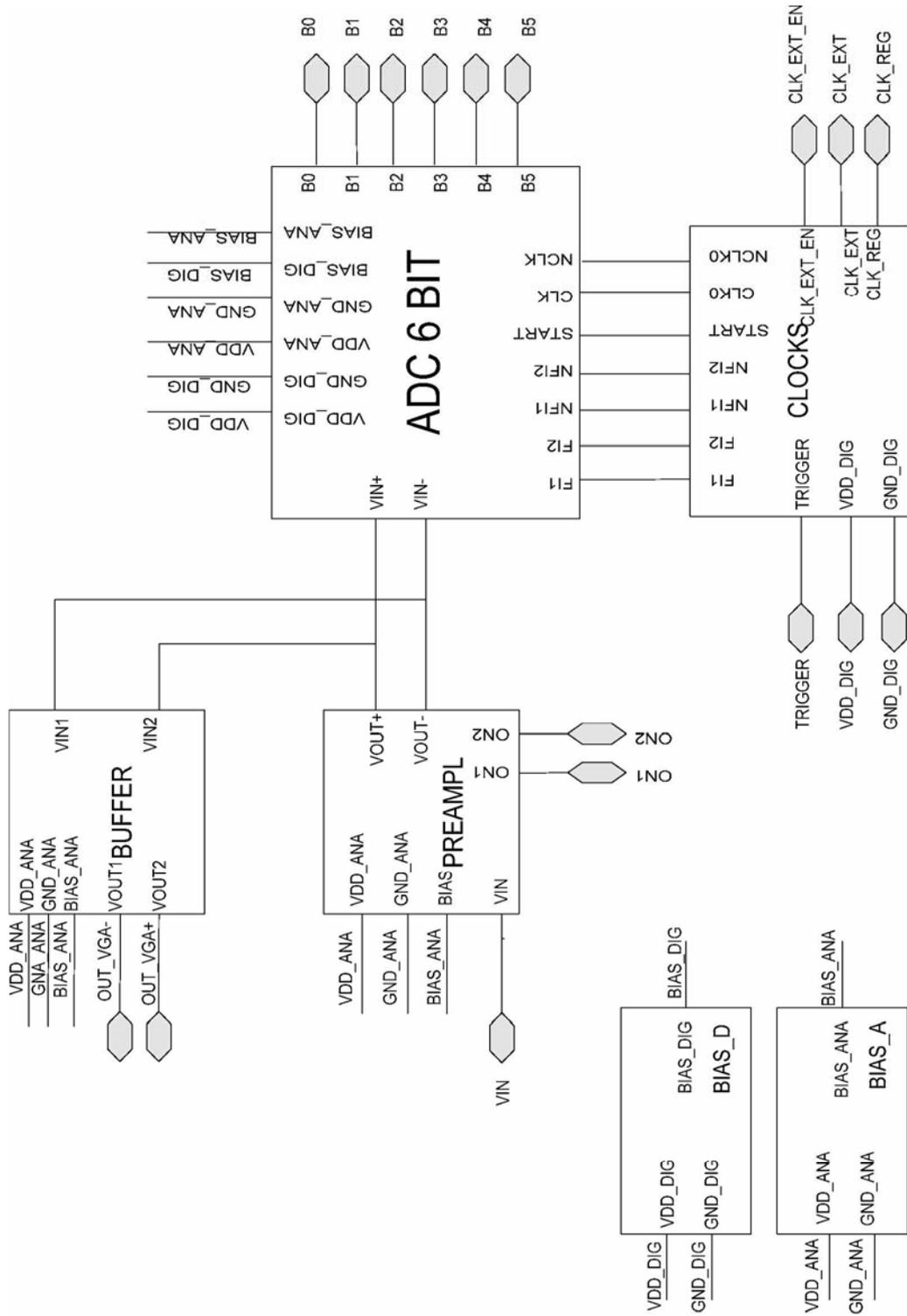


Figura 2.2: Schema a blocchi del chip.

I blocchi fondamentali consistono nel preamplificatore e nel convertitore analogico digitale. Quindi nel chip è implementato un sistema misto analogico-digitale che esegue operazioni su forme d'onda continue e segnali digitali. Tipicamente in tali sistemi la vicinanza dei componenti integrati induce delle limitazioni sulle prestazioni della sezione analogica a seguito delle interazioni indesiderate con la parte digitale. Questo limite è particolarmente presente nei circuiti ad alta frequenza, dove la commutazione veloce delle porte digitali genera dei segnali di disturbo nella parte analogica.

Negli ultimi decenni l'evoluzione della tecnologia dei circuiti integrati ha seguito la legge di Moore che predice il raddoppio della capacità di integrazione ogni 18 mesi a parità dei costi di produzione. Questo ha portato inevitabilmente alla riduzione della distanza reciproca tra i componenti integrati e tra le loro interconnessioni rendendo difficoltosa la progettazione di sistemi misti analogico-digitali.

Questo è il motivo che ha portato a separare il blocco di alimentazione del chip in due sezioni distinte indicate nello schema con BIAS_A e BIAS_D, le quali alimentano rispettivamente la parte analogica e digitale. Di conseguenza le alimentazioni (VDD_DIG, VDD_ANA) ed i nodi di massa (GND_DIG, GND_ANA) delle due parti provengono da due circuiti di polarizzazione identici ma distinti.

Il preamplificatore (PREAMPL) adatta il livello dei segnali in uscita dal rivelatore adeguandolo alle specifiche dei successivi stadi di elaborazione. Il segnale d'uscita del rivelatore è rappresentato da una serie di impulsi riferiti a massa di durata 1.5ns e di ampiezza massima pari a 10mV. Queste caratteristiche impongono al preamplificatore di soddisfare un insieme di specifiche alquanto stringenti. Infatti la ridotta ampiezza del segnale da processare richiede una bassa rumorosità e la breve durata temporale una larga banda passante. L'uscita del preamplificatore è disponibile all'esterno grazie all'impiego un blocco di pilotaggio (BUFFER).

Il convertitore analogico-digitale (ADC6BIT) trasforma il segnale così amplificato in una sequenza digitale a 6bit. La velocità di conversione dell'ADC deve essere adeguata alla velocità dei segnali in gioco. Al fine di evitare una distorsione del segnale la frequenza di campionamento è stata scelta pari ad 1GHz e si è impiegato uno schema basato su ADC di tipo flash.

Affinché l'informazione digitale in uscita dell'ADC possa essere elaborata da sistemi di acquisizione ad una velocità accettabile, la sequenza di parole da 6 bit (B5 B4 B3 B2 B1 B0) da 1GS/s è stata trasformata in una sequenza da 24 bit da 250MS/s.

Il blocco di generazione delle fasi (CLOCKS) è fondamentale per gestire la sincronizzazione delle operazioni di elaborazione del segnale. La sincronizzazione si può avere con un segnale di clock generato all'interno del chip o acquisito dall'esterno. Questa funzionalità dà la possibilità di sincronizzare diversi chip tra loro utilizzando un clock esterno comune.

2.3 Il preamplificatore

La struttura del preamplificatore è rappresentata in Figura 2.3, dove si distinguono due blocchi funzionali distinti denominati S_to_D e VGA.

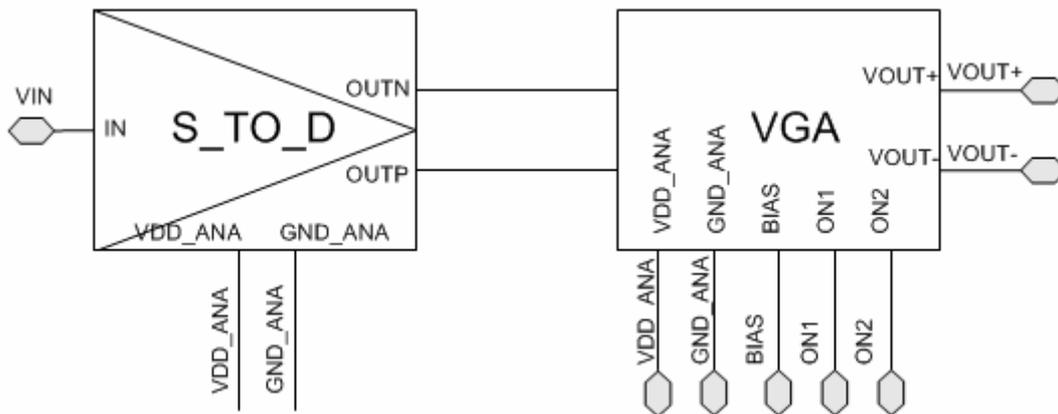


Figura 2.3: Struttura del preamplificatore.

Il blocco S_to_D che ha il compito di convertire il segnale single-ended d'ingresso in un segnale differenziale e il blocco VGA che rappresenta lo stadio di guadagno.

La scelta di elaborare segnali differenziali invece di segnali riferiti a massa presenta molteplici vantaggi in termini d'immunità ai disturbi (si assume che i disturbi si comportino in egual modo su entrambe le linee cancellandosi reciprocamente come il segnale di modo comune), di dinamica d'uscita (raddoppia per i segnali differenziali) e della distorsione (il segnale differenziale presenta solamente i termini distorsione di

ordine dispari che tipicamente sono inferiori a quelli di ordine pari).

Il VGA (Variable Gain Amplifier - amplificatore a guadagno variabile) è un blocco ampiamente utilizzato nei moderni sistemi elettronici ad alta frequenza che lavora con segnali analogici differenziali. Esso è costituito da tre celle di guadagno, mostrate in Figura 2.4 e denominate MAINCELL, CELL2 e CELL3. Tali celle sono interconnesse in modo da ottenere tre diversi valori di guadagno in continua. Il livello di guadagno è selezionabile mediante un'opportuna combinazione delle tensioni applicate dall'esterno sugli ingressi ON1 e ON2 (vedi Tabella 2.1).

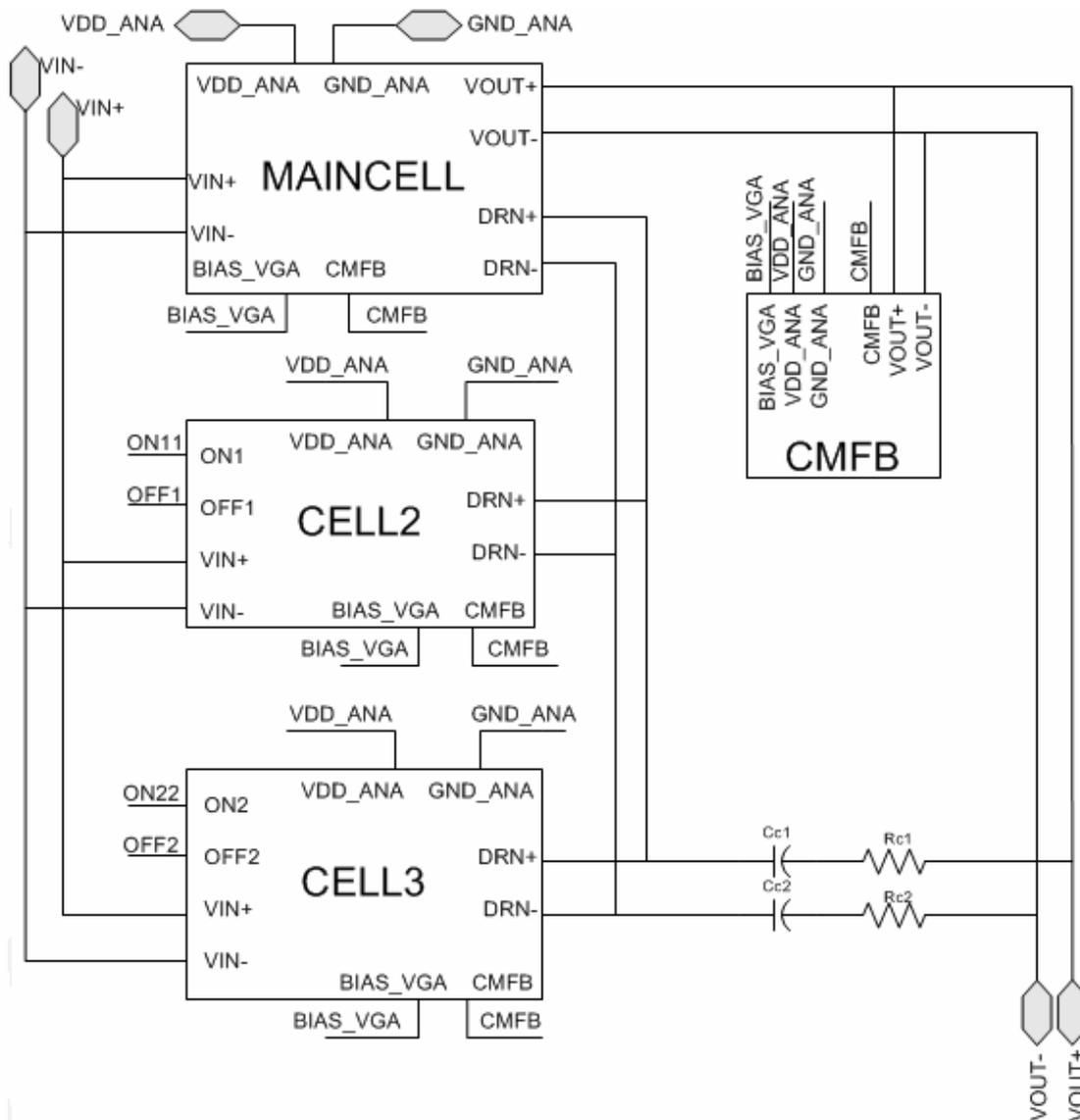


Figura 2.4: Struttura del VGA.

In questo modo è possibile regolare il guadagno del preamplificatore affinché il livello del segnale in uscita sia adatto alla dinamica d'ingresso dell'ADC pari a circa 300mV picco-picco come vedremo nel paragrafo successivo.

ON2	ON1	Guadagno in continua del VGA	Funzionamento dei blocchi		
			MAINCELL	CELL2	CELL3
0V	0V	0dB	ON	OFF	OFF
0V	1.2V	10dB	ON	ON	OFF
1.2V	1.2V	20dB	ON	ON	ON
1.2V	0V	Combinazione non ammissibile			

Tabella 2.1: Livello di guadagno e corrispondenti celle attive in funzione del valore di tensione sugli ingressi.

La MAINCELL è un blocco completo di amplificazione compreso di uno stadio d'ingresso e di uno stadio d'uscita a guadagno unitario (0dB). I blocchi CELL2 e CELL3 aumentano il guadagno della MAINCELL di circa 10dB agendo sullo stadio d'ingresso. Le celle di guadagno sono connesse all'uscita mediante una rete RC serie (Rc-Cc) su ogni linea differenziale per stabilizzare l'amplificatore alle alte frequenze.

Il blocco CMFB (Common Mode Feed-Back) controlla la retroazione di modo comune dell'amplificatore differenziale per annullare l'offset in uscita.

Il livello di tensione denominato BIAS_VGA polarizza tutti gli specchi di corrente presenti nei blocchi interni del VGA ed è presente in ingresso ad ogni cella di guadagno.

Il VGA deve soddisfare stringenti specifiche sulla banda passante e sul livello di rumore per limitare la distorsione armonica in ingresso all'ADC.

2.3.1 Schema elettrico e caratteristiche

Il circuito elettrico della cella di amplificazione è riportato in Figura 2.5. Lo schema utilizza una configurazione a coppia differenziale retroazionata in continua dal blocco

CMFB precedentemente descritto. Il circuito presenta una media linearità ed una larga banda a seguito del ridotto guadagno ad anello chiuso.

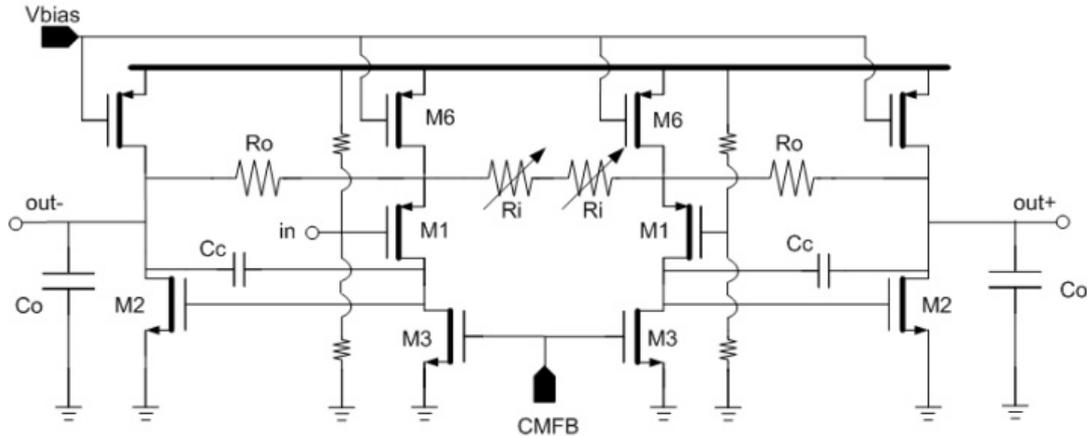


Figura 2.5: Schema elettrico della cella di amplificazione.

Come precedentemente esposto, il compito principale dell'amplificatore è di adattare il livello del segnale d'ingresso alla dinamica dell'ADC per sfruttare al meglio tutta la sua capacità risolutiva. Il guadagno in continua, in prima approssimazione è determinato dalla seguente formula:

$$A_v = 1 + \frac{R_o}{R_i},$$

dove R_o ed R_i sono le resistenze presente sui nodi d'uscita (vedi Figura 2.5).

Il valore di R_i permette di definire il guadagno complessivo del preamplificatore senza cambiare la struttura della forma d'onda d'ingresso e garantendo una larga banda sull'intera dinamica del segnale. In particolare l'assenza della resistenza R_i ci permette di ottenere un guadagno unitario (attivazione della sola MAINCELL).

La banda passante per tutti e tre i valori di guadagno è di diverse centinaia di MHz per un guadagno ad anello chiuso a $-3dB$. In Figura 2.6 possiamo vedere la risposta in frequenza simulata del preamplificatore, per un livello di guadagno di 20dB.

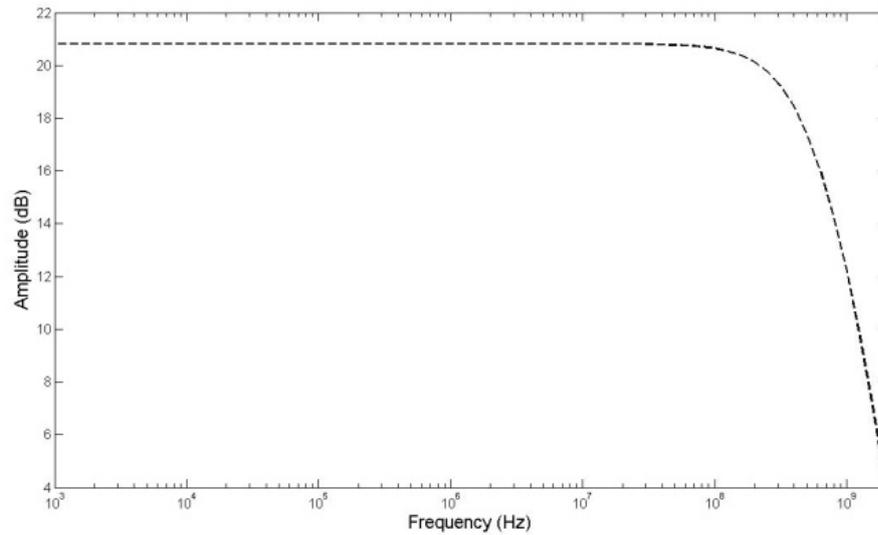


Figura 2.6: Risposta in frequenza del preamplificatore per un guadagno pari a 20dB.

L'alta impedenza dello stadio d'ingresso disaccoppia la rete esterna RC dal preamplificatore lasciando inalterata la risposta in frequenza.

Il rumore costituisce a tutti gli effetti una limitazione sulle prestazioni del circuito, in quanto stabilisce il limite inferiore dell'ampiezza del segnale d'ingresso. Infatti, al di sotto di tale limite, il segnale è elaborato con uno significativo deterioramento in quanto confuso con le fluttuazioni imprevedibili ed indesiderate di provenienza interna ai componenti che costituiscono il circuito.

Il rumore totale del chip è dominato dal rumore intrinseco dell'amplificatore. Il rumore termico di un singolo transistor nella banda di frequenza Δf è dato dalla formula:

$$v_{noise}^2 = \frac{2}{3} 4KT \frac{1}{g_m} \Delta f,$$

Dove k è la costante di Boltzmann, T è la temperatura espressa in Kelvin e g_m la transconduttanza del transistor MOS. Calcolando il contributo di tutti i transistor del circuito otteniamo il rumore totale riferito all'ingresso del preamplificatore:

$$v_{i,noise}^2 = 8 \cdot K \cdot T \cdot \left(\frac{2}{3} \frac{1}{g_{m1}} + \frac{2}{3} \cdot g_{m6} \frac{R_0^2}{A_v} + \frac{2}{3} \frac{g_{m3}^2 \cdot R_0^2}{g_{m2} \cdot A_v^2} + \frac{R_0}{A_v} \right).$$

Ne consegue che la principale sorgente di rumore è rappresentata dal rumore termico prodotto dal transistor M6 che è pari a circa $290 \mu V_{RMS}$ per un livello di guadagno di

20dB. Questo livello di rumore va confrontato con il rumore in uscita della camera a drift che è di circa 1mV_{RMS} .

2.3.2 Il buffer d'uscita

La presenza di questo stadio si rivela necessaria per la verifica di funzionamento del preamplificatore. Infatti l'uscita del preamplificatore non è in grado di pilotare un carico capacitivo troppo elevato che si prevede pari a 2pF. Questo valore comprende: la capacità introdotta dalle piazzuole di collegamento del chip (pad), dal filo di collegamento tra chip e scheda di test (wire bonding) e dalle piste metalliche della scheda di test medesima.

Lo stadio di buffer deve avere un guadagno vicino all'unità, in modo da non incidere sul guadagno dal preamplificatore, ed essere in grado di pilotare notevoli carichi capacitivi. Per la sua realizzazione è stata scelta una configurazione ad "inseguitore di source" la quale è adatta a soddisfare queste esigenze.

Il suo guadagno in tensione A può essere espresso dalla formula seguente:

$$A = \frac{g_m \cdot R}{1 + g_m \cdot R},$$

dove R indica il carico resistivo dell'inseguitore e con g_m la transconduttanza del suo transistor d'ingresso.

2.4 Il convertitore analogico-digitale

Il convertitore analogico-digitale, come precedentemente esposto, converte il segnale analogico in ingresso in un segnale digitale, restituendo in uscita, nel nostro caso, un codice binario a 6 bit il cui valore numerico associato è proporzionale al valore della tensione in ingresso.

Le richieste in termini di velocità di conversione (numero di campionamenti elaborati al secondo) e di tempo di esecuzione (tempo necessario alla conversione del campionamento analogico nel codice d'uscita) hanno portato a scegliere un convertitore di tipo flash.

Lo schema a blocchi completo del convertitore analogico-digitale è mostrato in Figura 2.7 .

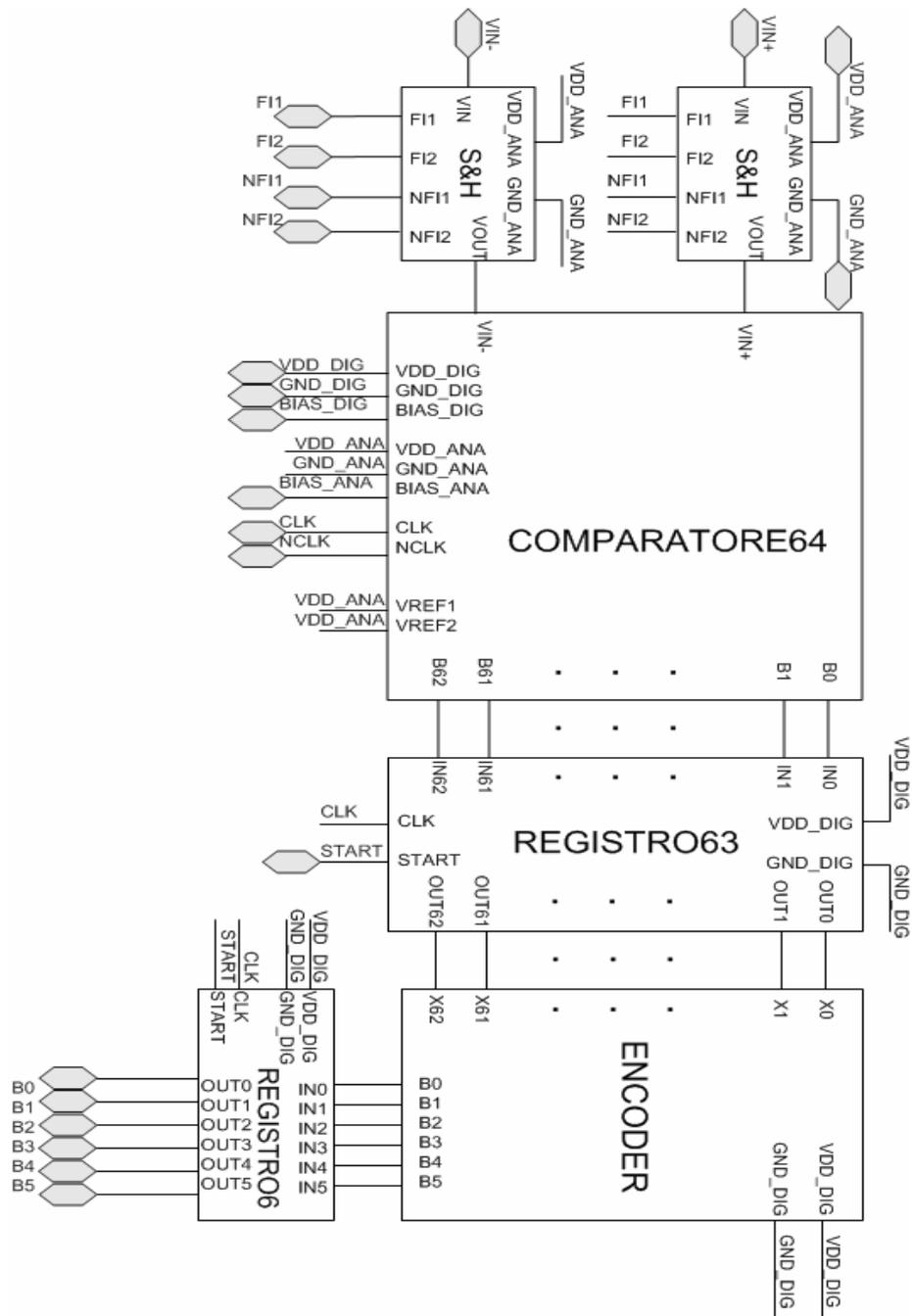


Figura 2.7: Schema a blocchi dell' ADC.

Per stabilizzare la tensione in ingresso al comparatore si sono anteposti due blocchi di Sample & Hold (S&H). Il blocco di S&H campiona il segnale in precisi intervalli di tempo e mantiene il valore acquisito di tensione per un periodo di tempo sufficiente alla successiva elaborazione.

Il convertitore spiegato nel paragrafo successivo (COMPARATORE64) necessita della presenza del segnale di clock e del suo negato (CLK, NCLK) per sincronizzare la conversione, oltre alla presenza del segnale di azzeramento asincrono dei registri interni (START).

I campionamenti del segnale analogico in uscita dai blocchi di S&H (VIN+, VIN-) sono confrontati con un insieme di 63 riferimenti di tensione ed i risultati dei confronti sono rappresentati in un codice termometrico a 63 livelli (B0-B62) memorizzato in un opportuno registro (REGISTRO63). Le uscite di tale registro sono codificate in un codice binario a 6 bit dal blocco codificatore (ENCODER).

Le tensioni che costituiscono il codice binario rappresentativo della tensione d'ingresso, in uscita dall'ENCODER, sono nuovamente memorizzate da un registro a 6 bit (REGISTER6), e diventano disponibili in uscita al successivo fronte di salita del clock. Il codificatore, essendo una rete combinatoria, deve operare su tensioni d'ingresso stabili per evitare transizioni indesiderate sulle uscite.

I registri presenti per la sincronizzazione dell'interfaccia, sono costituiti da flip-flop connessi in parallelo.

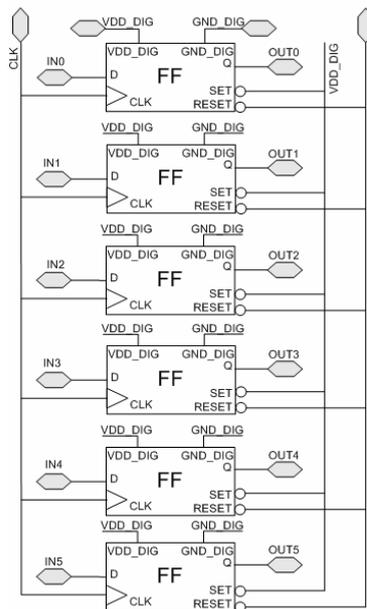


Figura 2.8: Schema del registro a 6 bit.

In Figura 2.8 è riportata la struttura del registro a 6 bit, considerando la struttura del registro a 63 bit completamente analoga, fatta eccezione per il numero di flip-flop

utilizzati. I segnali asincroni di Set e di Reset sono attivi bassi, e dei due solamente il segnale di Reset è presente in ingresso al chip.

Il comparatore a 63 livelli riceve in ingresso un segnale analogico campionato la cui dinamica è di circa 300mV picco-picco differenziale e produce in uscita il codice termometrico rappresentativo di questa tensione.

Il codice termometrico contiene i primi K bit pari ad un 1 logico ed i rimanenti bit a zero, dove K è un numero intero compreso tra 0 e 63 e direttamente proporzionale al valore della tensione da convertire.

Il comparatore può essere visto, in via esplicativa, come un insieme di 63 comparatori di livello ad un bit. Il comparatore ad un bit presenta uno stato logico alto se la tensione differenziale in ingresso è maggiore della tensione differenziale di riferimento, un valore logico basso altrimenti.

Infatti, ogni comparatore ha una tensione differenziale fissa su uno dei suoi ingressi, crescente all'aumentare del numero d'ordine del comparatore e multipla di una tensione minima che il comparatore è in grado di riconoscere (risoluzione), sull'altro ingresso invece è presente il segnale da quantizzare. Le tensioni fisse di riferimento si generano con un partitore resistivo, rendendo disponibili ai comparatori un insieme di livelli quantici.

Nel comparatore realizzato il livello quantico superiore è pari a 672.656mV e quello inferiore a 527.344mV, mentre i livelli intermedi sono uniformemente distribuiti tra questi due valori. Quindi, la distanza tra due livelli adiacenti è di circa 2.344mV (risoluzione ADC) ed un segnale di ampiezza pari a circa 147mV è convertito con il minimo errore relativo di quantizzazione.

La conversione del codice termometrico in un codice binario necessita di un circuito combinatorio di 63 ingressi e 6 uscite. Il gran numero di ingressi potrebbe presentare un'eccessiva complessità di sintesi. Osservando però la forma particolare che assumono le combinazioni agli ingressi (non tutte le combinazioni dei 63 bit si possono presentare all'ingresso dell'encoder) è possibile una drastica semplificazione.

Le possibili combinazioni sono divise in due parti, la prima con un insieme continuo di "uni" logici, la seconda con un insieme continuo degli "zeri" logici. Grazie a questo la sezione della tabella delle verità relativa agli ingressi assume la forma della matrice

triangolare bassa. Ciò permette di eseguire la codifica a 6bit mettendo in cascata 4 codificatori a 15 bit in ingresso e 4 bit in uscita opportunamente collegati.

2.4.1 Principio di funzionamento

Il principio di funzionamento dell'ADC è basato su un'architettura a due fasi, come mostra la Figura 2.9.

In questo schema la conversione del segnale analogico è realizzata da due sub-ADC in cascata ognuno di 3bit. Entrambi i sub-ADC sono di tipo flash e quindi necessitano per il suo funzionamento di $2^n - 1$ comparatori e di 2^n resistori, dove n è il numero di bit del convertitore. Mediante l'impiego di due stadi in cascata sono richiesti solo 21 comparatori invece dei 63 di un convertitore flash a 6 bit standard.

Il primo sub-ADC produce i 3bit più significativi, avendo una risoluzione inferiore al secondo. Il secondo sub-ADC produce i 3bit meno significativi, avendo una risoluzione superiore al primo.

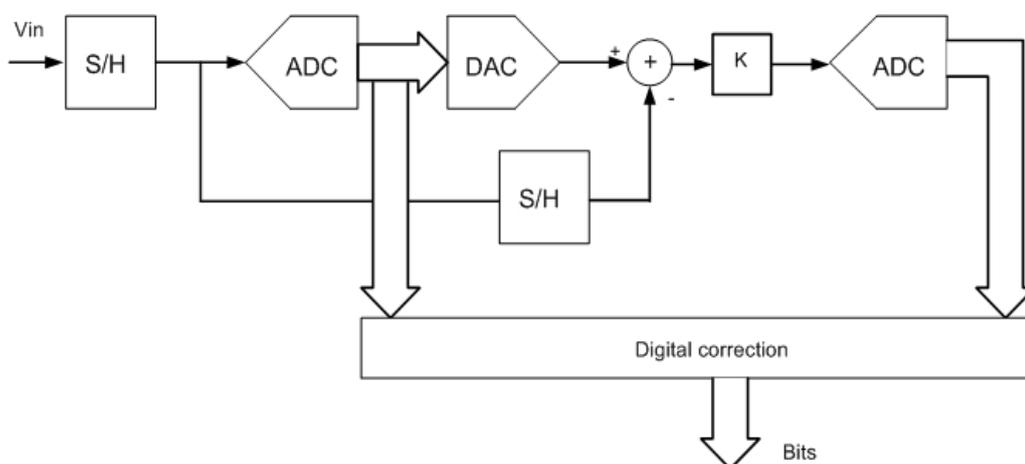


Figura 2.9: Schema funzionale dell'ADC.

Il primo stadio di S&H passivo è utilizzato per campionare il segnale d'ingresso sul fronte di salita del clock e memorizzarlo per un intero periodo di clock. Il segnale campionato è convertito dal primo sub-ADC con una risoluzione di 3.5bit e riconvertito nuovamente in segnale analogico mediante il convertitore digitale-analogico (DAC).

Il segnale in uscita dal DAC è sottratto al segnale d'ingresso, quest'ultimo reso disponibile al nodo sottrattore dal secondo stadio di S&H ma ritardato di un ciclo di

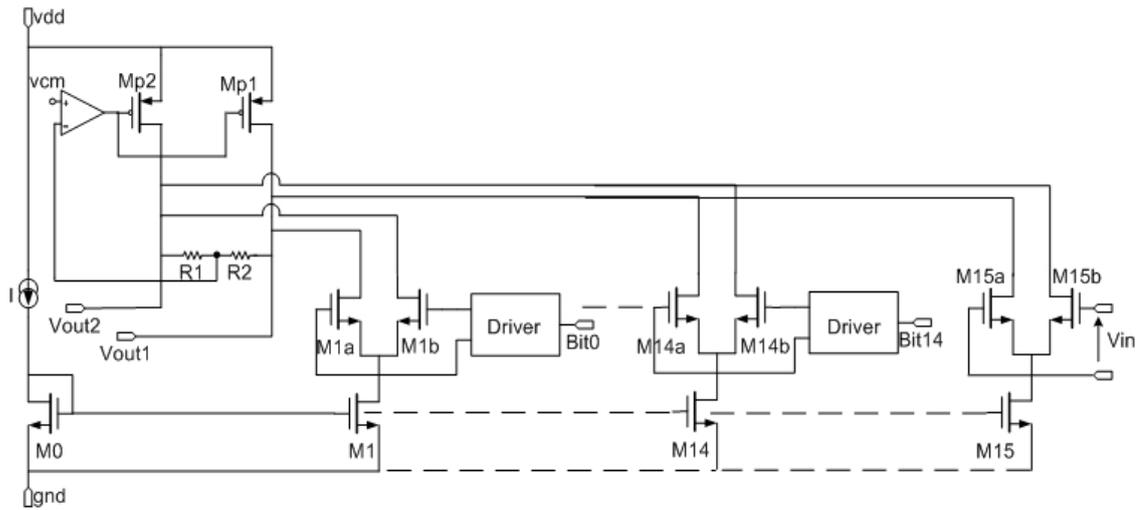


Figura 2.12: Schema elettrico del blocco DAC+ sottrattore+ amplificatore.

Il funzionamento del DAC si basa su un codice termometrico di controllo digitale delle correnti da combinare con una corrente proporzionale al segnale analogico d'ingresso. I generatori di corrente realizzati dai transistor $M_1 - M_{14}$, arrivano sui nodi d'uscita V_{out1} e V_{out2} , in accordo con il valore dei bit in uscita al primo sub-ADC. Le uscite del primo sub-ADC sono connesse direttamente all'ingresso (Bit1-Bit14) dei driver che pilotano gli specchi di corrente differenziali ($M_{1a}-M_{1b}, \dots, M_{14a}-M_{14b}$) senza alcun circuito di logica addizionale, in modo da evitare l'aggiunta di ritardi dannosi alle alte frequenze. Il segnale d'ingresso è confrontato in corrente con il segnale ricostruito dal DAC. Il confronto è realizzato sui nodi d'uscita grazie all'ausilio di un trasduttore (transistor $M_{15a}-M_{15b}$) che trasforma il segnale di tensione in ingresso in un segnale di corrente. Per adattare il segnale d'uscita di questo blocco al successivo stadio di quantizzazione, dobbiamo amplificare il segnale attraverso i resistori R_1 e R_2 (blocco K).

2.5 Il generatore di clock

Le specifiche di progetto impongono una velocità di conversione di 1GS/s (numero di campioni elaborati nell'unità di tempo), questo comporta l'impiego di un segnale di clock di 1GHz. Per il funzionamento dell'intera catena di elaborazione è fondamentale la sua corretta sincronizzazione, ovvero la determinazione degli istanti di tempo in cui saranno valutate le variabili del circuito, quali le tensioni ai nodi e le correnti nei rami, di ciascuno dei suoi blocchi. L'incertezza degli istanti di campionamento e di valutazione degli ingressi del comparatore è un motivo di degradazione delle prestazioni dinamiche del convertitore analogico-digitale.

Oltre a generare un segnale di clock interno al circuito è utile prevedere la presenza di un segnale di clock esterno per rendere possibile la sincronizzazione del circuito con il resto del sistema di cui farà parte; occorre inoltre considerare che il clock esterno risulta indipendente ad eventuali variazioni termiche del circuito.

Il sistema di generazione interno del clock ricorre a specifiche configurazioni circuitali le cui caratteristiche di oscillazione (frequenza, rise-time, fall-time) dipendono dai parametri dei componenti del circuito stesso e risentono, quindi, degli effetti della variazione della temperatura o dei parametri tecnologici. Il segnale esterno è tipicamente generato con le oscillazioni dei modi fondamentali di un quarzo opportunamente tagliato; la frequenza di queste oscillazioni è controllabile con alta precisione ed ha una dipendenza dalla temperatura poco pronunciata. La qualità dei clock generati per controllare la sincronia dei due blocchi di Sample & Hold è uno dei principali responsabili della precisione e risoluzione dei dati acquisiti, caratteristiche che diventano molto stringenti ad alta velocità. I blocchi di Sample & Hold necessitano di due segnali di fase con frequenza dimezzata rispetto a quella di conversione, ovvero pari a 500MHz, e dei loro segnali negati. Tali segnali di fase devono essere l'uno il negato dell'altro ed avere i fronti positivi non sovrapposti per evitare l'indesiderata temporanea accensione degli interruttori connessi in serie tra l'ingresso e l'uscita del blocco campionatore. Un ulteriore segnale è il reset, il quale stabilisce l'istante iniziale di evoluzione dell'intero sistema, attivando la generazione dei segnali di fase ed azzerando tutti i registri presenti nella parte digitale dell'interfaccia.

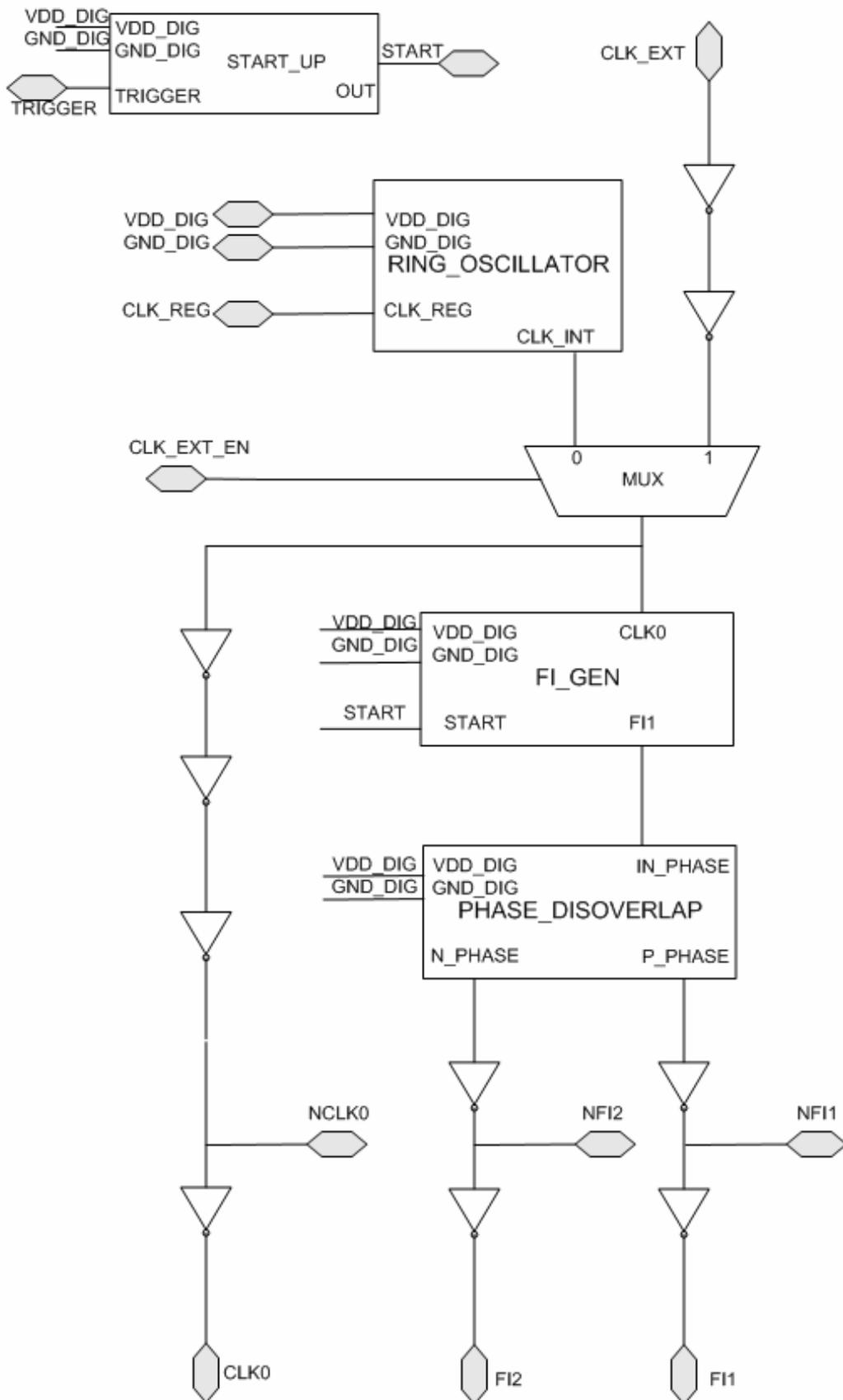


Figura 2.13: Schema a blocchi della generazione dei clock.

Come si evince dalla Figura 2.13, il segnale di sincronizzazione è determinato dal valore di tensione presente sul terminale di controllo esterno (CLK_EXT_EN) del multiplexer (MUX). Uno dei suoi ingressi è il clock esterno opportunamente disaccoppiato da uno stadio di buffer, l'altro ingresso è l'uscita del blocco che genera il clock locale (RING_OSCILLATOR). I blocchi FI_GEN e PHASE_DISOVERLAP elaborano il segnale di clock in modo da fornire quattro fasi di clock distinte e destinate a controllare il blocco campionatore dell'ADC.

La generazione delle fasi di campionamento si ottiene a partire dal segnale da 1GHz, disponibile in uscita dal multiplexer e utilizzando il circuito divisore di frequenza (FI_GEN) che genera in uscita il segnale FI a frequenza dimezzata (500MHz). Grazie ad un'opportuna logica combinatoria, presente nel blocco PHASE_DISORVERLAP, si ottiene un segnale di fase che ha lo stesso periodo di FI ma intervalli temporali a livello alto inclusi negli intervalli in cui FI si trova a livello basso.

Infine gli inverter in uscita svolgono il compito di ripristinare i livelli logici e di mettere a disposizione del campionatore, oltre alle due fasi descritte in precedenza, anche i segnali negati delle stesse.

Il blocco di START_UP è fondamentale per la sincronizzazione del sistema in quanto esso definisce l'istante iniziale della sua evoluzione. Inoltre, garantisce uno stimolo iniziale per il blocco RING_OSCILLATOR e l'azzeramento della memoria del sistema.

2.6 Il layout fisico del chip

Ultimata la fase di progettazione del chip si è passati alla simulazione del comportamento di ogni singolo blocco del sistema. L'evoluzione dell'intero sistema è descritta da oltre 14.000 equazioni in gran parte non lineari, perciò la simulazione ha richiesto una elevata potenza di calcolo e tempi abbastanza lunghi.

Il buon esito delle simulazioni ha permesso di passare alla successiva fase di realizzazione del layout fisico del chip. Il chip è stato prodotto dall'azienda UMC attraverso il consorzio europeo Europractice, che consente la fabbricazione di chip a basso costo mediante la condivisione con altri del wafer (*multiproject*). In Figura 2.14 è rappresentato il layout fisico del chip una volta prodotto, sul quale è stata aggiunta la nomenclatura dei segnali per una maggiore chiarezza sulla piedinatura del chip.

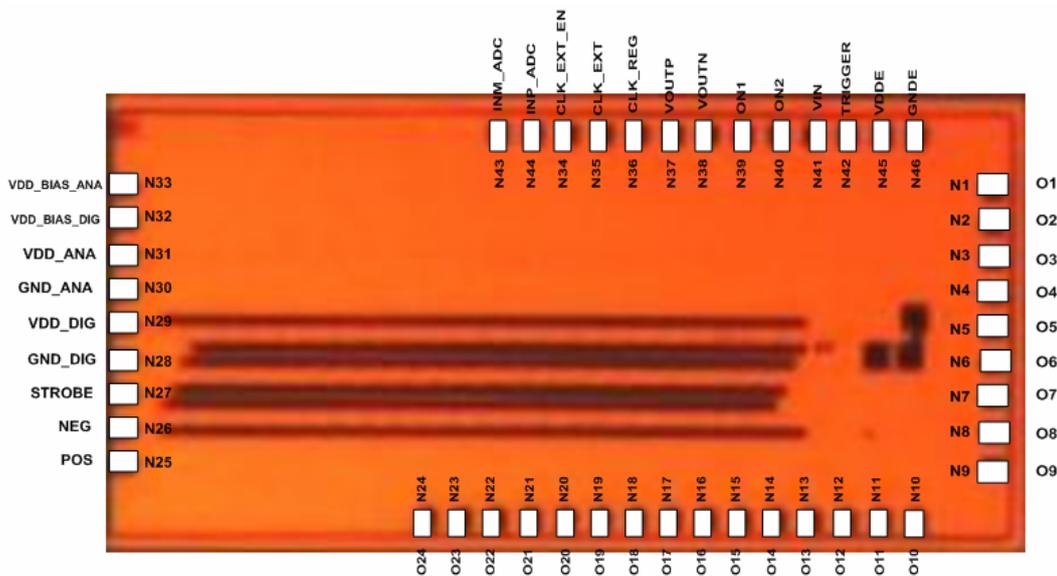


Figura 2.14: Layout del chip.

Il chip ha dimensione 3x1.3mm con pad di 85x77µm equispaziate tra loro da 50µm. In Tabella 2.2 abbiamo catalogato ordinatamente i segnali presenti sul chip specificando la relativa funzionalità.

SEGNALI DEL CHIP	FUNZIONALITA'
VIN	Segnale analogico d'ingresso.
VOU _{TP} -VOUT _N	Uscita differenziale del preamplificatore con buffer interno.
INM_ADC-INP_ADC	Uscita differenziale del preamplificatore non bufferata per fase di test.
ON1-ON2	Segnali di regolazione del guadagno del preamplificatore
CLOCK_EXT	Segnale di clock esterno.
CLOCK_REG	Segnale di regolazione della frequenza interna del clock.
CLOCK_EXT_EN	Segnale di abilitazione del clock esterno.
STROBE	Segnale di visualizzazione esterna del clock di sistema.
TRIGGER	Segnale di inizializzazione del sistema.
O1-O24	Segnali digitali in uscita dall'ADC.
VDD_ANA-GND_ANA	Tensioni di alimentazione della sezione analogica di valore 1.2V e 0V.
VDD_DIG-GND_DIG	Tensioni di alimentazione della sezione digitale di valore 1.2V e 0V.
VDD_BIAS_ANA	Tensione di polarizzazione della sezione analogica regolabile esternamente.
VDD_BIAS_DIG	Tensione di polarizzazione della sezione digitale regolabile esternamente.
VDDE-GNDE	Tensioni di alimentazione dei diodi di protezione sugli ingressi di valore 1.2V e 0V.
POS-NEG	Tensioni di alimentazione dei riferimenti utilizzati nei comparatori di valore 1.2V e 0V.

Tabella 2.2: Segnali presenti sul chip e relativa funzionalità.

Nel capitolo successivo sarà illustrato il processo di realizzazione dell'Evaluation Board (scheda di valutazione) utilizzata per testare l'effettivo funzionamento del dispositivo.

Per l'alloggiamento del chip sarà predisposta una piazzuola metallizzata sul circuito stampato e dei pin di contatto per il successivo *wire bonding*.

Il *wire bonding* è una tecnica utilizzata per il trasferimento dei segnali dalle pad del chip alle apposite pad presenti sulla scheda attraverso dei sottili fili di metallo.

Tale tecnica viene usata per lo più nei sistemi ad alta frequenza, poiché la presenza delle capacità parassita relative al package del chip potrebbero compromettere significativamente il comportamento dei segnali.

La Figura 2.15 mostra lo schema del bonding del chip sull'evaluation board.

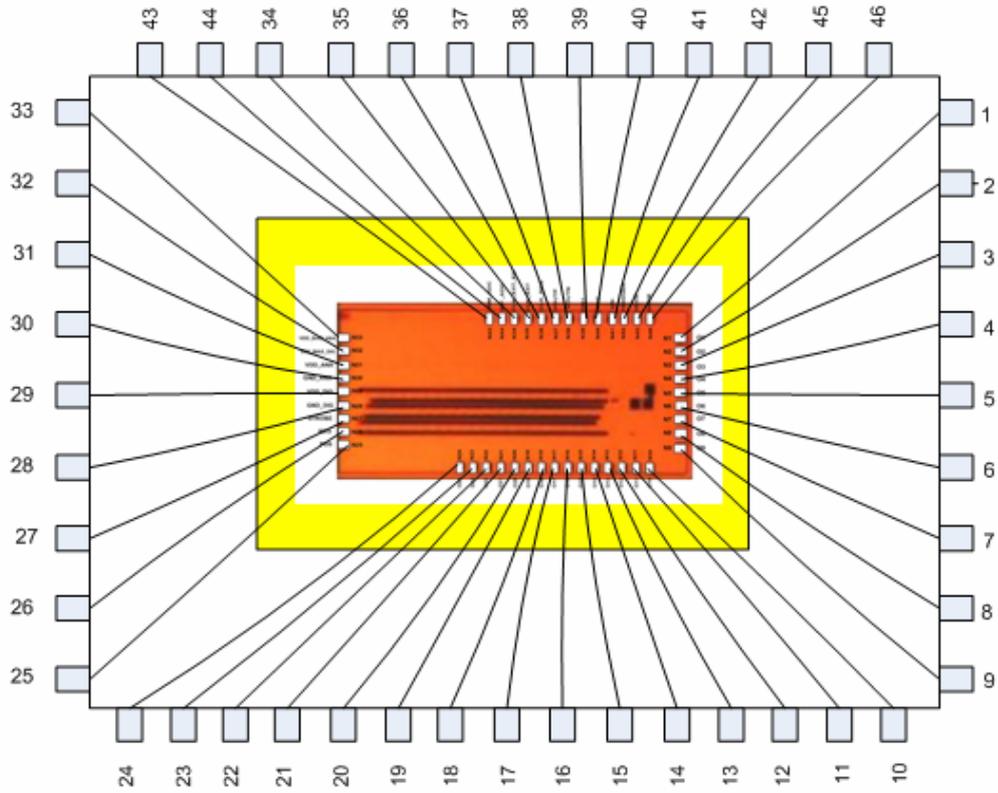


Figura 2.15: Tecnica di wire bonding.

Capitolo 3

Progetto e realizzazione della scheda di test

In questo capitolo sarà illustrato il principale obiettivo di questo lavoro di tesi che è stato quello di progettare e realizzare una scheda a circuito stampato con componenti discreti (Printed Circuit Board o in breve PCB) per testare il chip sviluppato nei nostri laboratori e descritto nel capitolo precedente.

Tale progetto, basato sull'utilizzo del pacchetto software Allegro PCB 15.2 della Cadence, mette in risalto le grandi potenzialità di questo tipo di applicazione CAD (Computer Assisted Design) per realizzare circuiti elettronici.

3.1 Strumenti software utilizzati

Durante la fase di progettazione e sviluppo del PCB sono stati utilizzati degli strumenti software appartenenti al pacchetto Allegro PCB 15.2 della Cadence. Questo è considerato il software più diffuso per la progettazione e realizzazione dei circuiti elettronici, sia in ambito didattico che aziendale. I suoi componenti, infatti, supportano tutte le fasi della creazione di circuiti: dal disegno di schemi elettrici alla realizzazione di schede, dalla progettazione di dispositivi logici programmabili alle simulazioni di circuiti analogici e digitali.

Il pacchetto software Allegro PCB offre tecnologie complete e scalabili per progetti di circuiti stampati, package di singoli componenti e package multi-componente (System-in-Package o SiPs). Questi progetti possono essere sviluppati nel programma come fogli elettronici o in linguaggio HDL (Hardware Description Language).

I moduli utilizzati per la realizzazione del PCB sono: *Allegro Design Entry HDL*, *Allegro Package Designer*, *Allegro PCB Editor*.

Allegro Design Entry HDL è un programma di disegno per la creazione e/o modifica di schemi circuitali. Consente lo scambio di dati con gli altri programmi del pacchetto Allegro PCB per ottemperare a tutti i compiti correlati alla progettazione, quali il disegno, la documentazione e la simulazione circuitale, in modo che possano essere sviluppati nello stesso ambiente.

Allegro Package Designer è un programma che permette di realizzare il contenitore fisico (*package*) da associare ai componenti del circuito elettrico, per poi collocarli fisicamente sulla scheda (esportazione fisica dei componenti).

Allegro PCB Editor è il programma che permette di collocare i componenti sulla scheda e di realizzare il successivo sbroglio delle piste di collegamento del circuito stampato. Una volta ultimate le operazioni di sbroglio, si può procedere con la generazione dei file con estensione .gerber, (detti file *Gerber*), necessari per far produrre in serie, a qualsiasi azienda del settore, il circuito stampato finale.

L'integrazione tra Allegro PCB Editor e Allegro Design Entry HDL fa di quest'ultimo l'editor di circuito elettrico scelto dai progettisti che usano Allegro PCB Editor per realizzare il disegno fisico.

3.2 Progettazione di un circuito stampato

Per capire meglio il flusso di processo che si deve seguire per la realizzazione di un circuito stampato utilizzando il CAD possiamo fare riferimento alla Figura 3.1.

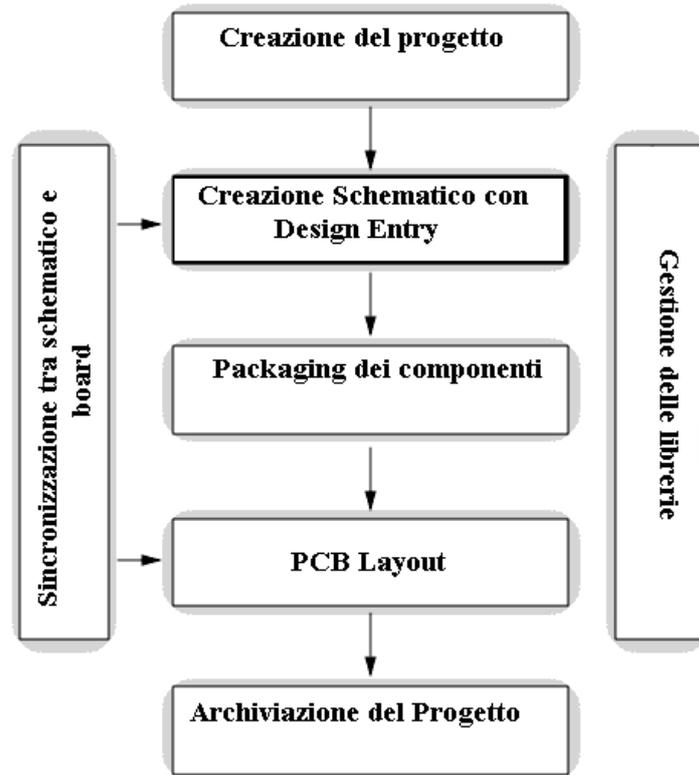


Figura 3.1: Flusso di processo dallo schema elettrico ai file Gerber.

Il primo passo nella realizzazione di un circuito stampato è la creazione di un nuovo progetto attraverso *Allegro Project Manager*. La creazione del progetto inizia con la creazione di un disegno logico (schema elettrico) e di un disegno di scheda su cui saranno trasferiti gli schemi logici per la realizzazione dell'entità fisica. Le due parti sono organizzate in librerie diverse, che rappresentano una parte fondamentale nello sviluppo di un progetto. Nelle librerie associate allo schema elettrico sono contenute le informazioni necessarie alla sua realizzazione, come ad esempio i simboli logici, i pin di ingresso ed uscita (*pinouts*) e i package dei componenti.

Mentre le librerie del layout contengono i cosiddetti *footprints* delle parti fisiche dei componenti specificati nelle librerie dello schema elettrico. Il footprint è un blocco base utilizzato per definire il layout, in quanto contiene tutte le informazioni fisiche relative ad un componente, come ad esempio la sua grandezza, il numero dei pin ed altre ancora. Quando si inizia un progetto si crea automaticamente un file chiamato *cds.lib*, contenente tutte le librerie utilizzate nel disegno circuitale e le informazioni sulla loro locazione fisica, ed un file con estensione *.cpm* contenente tutte le informazioni generali

di setup (come ad esempio: nome del livello top del progetto, la lista delle librerie, la locazione delle directory temporali, ecc..).

Nel setup iniziale, oltre alla presenza della libreria di default, possono essere selezionate e aggiunte le librerie che si vogliono utilizzare nel circuito. I simboli circuitali messi a disposizione dalle librerie del Allegro Design Entry HDL sono molteplici, tuttavia le esigenze particolari del nostro schema elettrico, hanno portato alla creazione e alla configurazione di nuovi simboli elettrici non presenti nelle librerie standard.

Una volta terminata la fase di disegno e verifica circuitali, che riveste un ruolo di fondamentale importanza nella progettazione di un circuito stampato, si passa alla cosiddetta fase di *postprocessing* per poter essere pronti a creare il layout fisico della PCB, anche se già nel software di progetto è possibile iniziare a preparare lo schema elettrico per la creazione del circuito stampato, associando ad ogni componente utilizzato il relativo footprint. Il footprint di ogni singolo componente è realizzato con il modulo Allegro Package Designer, riportando le caratteristiche fisiche presenti nel foglio illustrativo del componente (*datasheet*).

L'operazione da compiere per poter passare dal software di disegno circuitali a quello di progettazione del PCB è tipicamente la generazione della cosiddetta *netlist*. Si tratta di un file di testo in cui sono riportate tutte le informazioni sullo schema disegnato, assieme all'elenco di tutti i componenti a cui è associato il relativo footprint. La netlist verrà poi importata nel software di creazione del circuito stampato, e da questo punto in poi ha inizio la fase di definizione del layout fisico della scheda.

Questa fase è sviluppata con l'utilizzo di Allegro PCB Editor, un editor interattivo ad alta velocità per la creazione di PCB complessi e multistrato che rappresenta il cuore del pacchetto Allegro PCB.

Dopo aver effettuato delle operazioni preliminari, comunque necessarie, come ad esempio l'impostazione delle dimensioni della scheda che si vuole creare e se l'importazione della netlist ha avuto esito positivo, il software di progettazione mostra nella finestra di *List Placement* tutti i componenti del circuito che devono essere collocati (*placement*) sulla scheda.

I collegamenti tra i componenti sono mostrati come sottili linee rette (*ratsnests*) e possono già dare un'idea durante il placement, della densità di collegamenti delle varie zone del PCB.

Attraverso opportuni strumenti software di controllo, come ad esempio l'algoritmo DRC che definiremo in seguito, è possibile verificare il rispetto di alcune regole basilari di disegno.

Collocati tutti i componenti, la fase successiva, una delle più impegnative di tutto il processo, è quella di *routing* delle tracce, detta anche di *sbroglio*, cioè di associazione di un percorso conduttivo attraverso i piani della scheda a ciascun collegamento elettrico tra i componenti.

L'alta integrazione di componenti sulla PCB ha reso necessaria la scelta di una struttura multistrato del circuito stampato, nel caso specifico a quattro strati (*layer*), cioè un circuito costituito da quattro strati conduttivi di rame separati tra loro da strati isolanti di vetronite.

Risulta evidente che la fase di sbroglio di un circuito che impiega numerosi componenti può essere molto impegnativa, in quanto le tracce di un PCB non possono sovrapporsi su uno stesso layer. Se nonostante tutto non è possibile evitare l'intersezione di due tracce, viene allora utilizzato un *via*. Un *via* è un passaggio praticato nel PCB che permette al metallo di transitare da uno strato della scheda all'altro, senza causare cortocircuiti. I *via* sono definiti nel software dai cosiddetti *padstack*, alla stessa maniera dei footprint dei componenti. I *padstack* sono delle raccolte di informazioni su come un pin si connette fisicamente al PCB: include dati riguardo ciascun layer della scheda, definendo anche la dimensione dell'area di metallo intorno a ciascun pin e la dimensione dei fori da praticare sulla scheda.

Completata anche la fase di sbroglio, il layout della scheda è terminato. Dopo aver effettuato tutti i controlli di routine per assicurarsi che ogni fase sia andata a buon fine, vengono generati i corrispondenti file Gerber, contenenti tutte le informazioni necessarie per il costruttore del PCB su come tagliare, laminare e forare la scheda. Per ogni layer della scheda viene creato un file Gerber: ad esempio un file Gerber TOP definirà come costruire il TOP layer del PCB, il file Gerber BOTTOM come costruire il BOTTOM layer e così via. Una volta definiti tutti i file Gerber relativi a tutti i layer della scheda, questi dovranno essere spediti a chi si occuperà della realizzazione fisica della stessa, senza più la possibilità di intervento da parte del progettista del circuito.

3.3 Creazione di uno schema elettrico

Il Design Entry HDL del pacchetto di Allegro utilizza un'interfaccia grafica intuitiva e ricca d'opzioni, mettendo a disposizione un insieme complesso di strumenti di progettazione veloci e immediati.

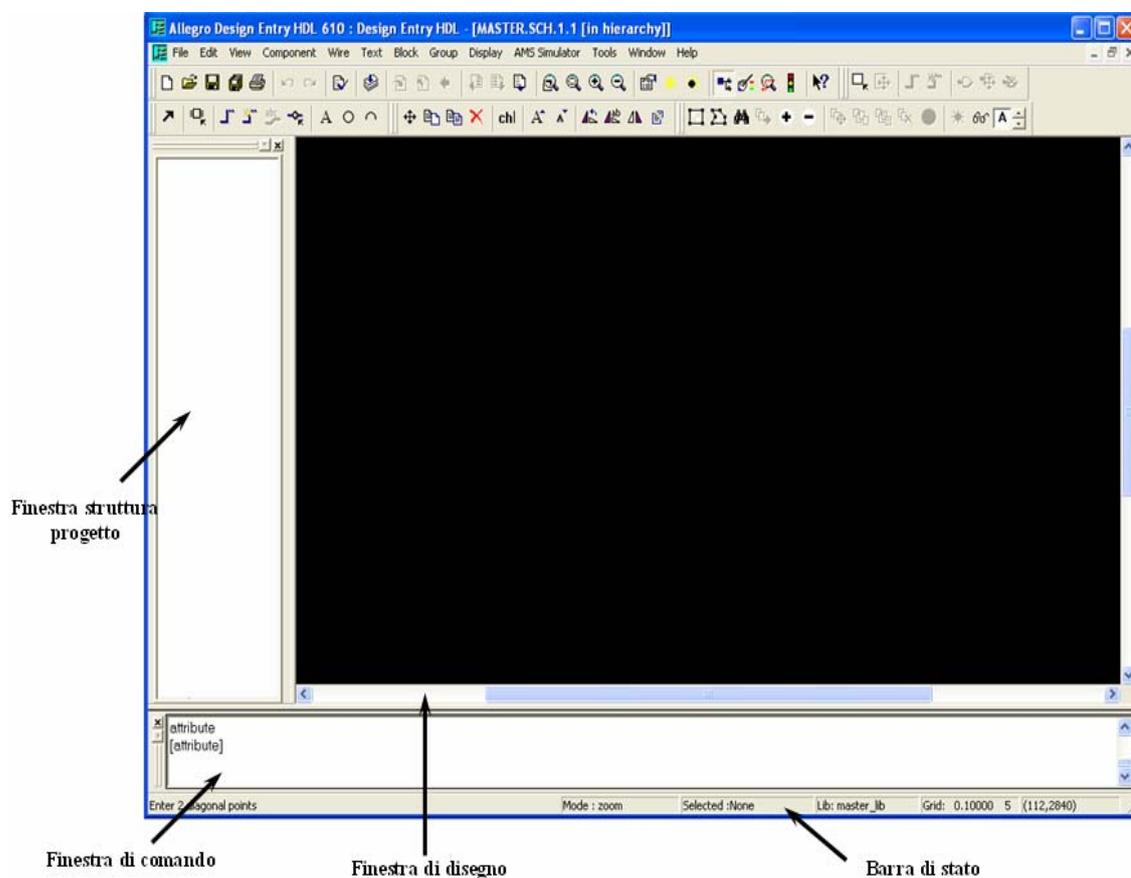


Figura 3.2: Interfaccia grafica del software Allegro Design Entry HDL.

In Figura 3.2 possiamo vedere la schermata iniziale dell'ambiente di sviluppo dello schema elettrico, in cui sono stati evidenziati gli elementi principali.

La *barra di stato* ci permette di avere un'indicazione dell'operazione che stiamo svolgendo, la libreria che stiamo utilizzando, le impostazioni della griglia e le coordinate del cursore in tempo reale.

La *finestra di comando* ci permette di inserire comandi testuali senza utilizzare quelli predefiniti (*wizard*), mentre la *finestra gerarchica* mostra la struttura dello schema.

Nella finestra gerarchia sono elencati tutti gli schemi di cui è composto il progetto come lo schema principale (*root schematic*) e i sotto-schemi di livello inferiore.

Una delle prerogative principali del Design Entry HDL è infatti la possibilità di effettuare il disegno in maniera gerarchica: una volta che un circuito base viene disegnato si può racchiudere in un oggetto superiore, detto blocco gerarchico, che consente di riutilizzare il sottocircuito appena definito come fosse un componente, senza doverlo disegnare più volte. Tutto quello che si dovrà fare per riutilizzarlo è semplicemente creare un riferimento allo stesso sottocircuito base tante volte quanto necessario. Così facendo si edita il circuito una sola volta risultando più semplice mantenerlo aggiornato, mentre è possibile riferirlo e riutilizzarlo più volte.

Infatti, eventuali revisioni di una parte del progetto possono essere effettuate una volta sola sul blocco gerarchico originale, il quale propaga il cambiamento a tutti i blocchi che fanno riferimento a quella parte.

La finestra di disegno è l'area di lavoro dove si effettua il disegno dello schema. Attraverso tale area si possono collocare i componenti, effettuare connessioni, immettere nuovi blocchi gerarchici, editare le proprietà di ciascun componente, oltre alle consuete operazioni di taglia/copia/incolla tipiche di ogni programma funzionante nel sistema operativo Windows. Tutti i comandi per effettuare queste operazioni sono accessibili sia dai relativi menu che in maniera più veloce dai pulsanti del menu *Tool Palette*.

Una volta configurate le impostazioni iniziali del nostro progetto, come ad esempio la risoluzione della griglia, si può iniziare a creare lo schema elettrico.

3.3.1 Definizione virtuale dei componenti

La creazione di un progetto con Allegro Design Entry HDL coinvolge più fasi per la sua realizzazione; come l'aggiunta di componenti, la gestione degli attributi di ogni componente, la connessione tra gli elementi e l'impiego degli algoritmi di verifica.

La prima fase della creazione è l'inserimento dei componenti dello schema elettrico già presenti nelle librerie del programma. Naturalmente quando si progetta uno schema elettrico si possono utilizzare anche componenti che per struttura o per funzionalità possono non essere presenti nelle librerie messe a disposizione dal software. In questo caso Allegro Design Entry HDL fornisce la possibilità di editare nuovi simboli circuitali in modo da garantire al disegnatore un aumento della precisione progettuale, un miglioramento della comprensione dello schema e un buon adattamento del simbolo alle specifiche funzionalità richieste dal datasheet del componente.

Per ogni nuovo componente si crea una nuova cartella nella libreria di lavoro (*worklib*), in cui le sottocartelle: *Chips*, *Entity* e *Symbol* descrivono completamente l'oggetto in questione. Nella cartella *Entity* è presente l'implementazione in linguaggio VHDL dell'oggetto. Il file VHDL contiene solo la dichiarazione dell'entità dell'oggetto dove sono specificati i terminali di input e output, ma non è elaborato l'algoritmo di funzionamento del componente. La cartella *Symbol* contiene la rappresentazione grafica del simbolo creato.

Il file *chips.prt*, contenuto nella cartella *chips*, presenta tutte le informazioni fisiche del componente come i pin d'ingresso e d'uscita, il package utilizzato per l'esportazione fisica, gli eventuali pin di alimentazione, ecc. La modifica di questo file permette una gestione completa del dispositivo garantendo una completa definizione delle sue proprietà. La Figura 3.3 mostra il simbolo elettrico del chip che si vuole testare mediante la scheda ed il suo relativo file *chips.prt*.

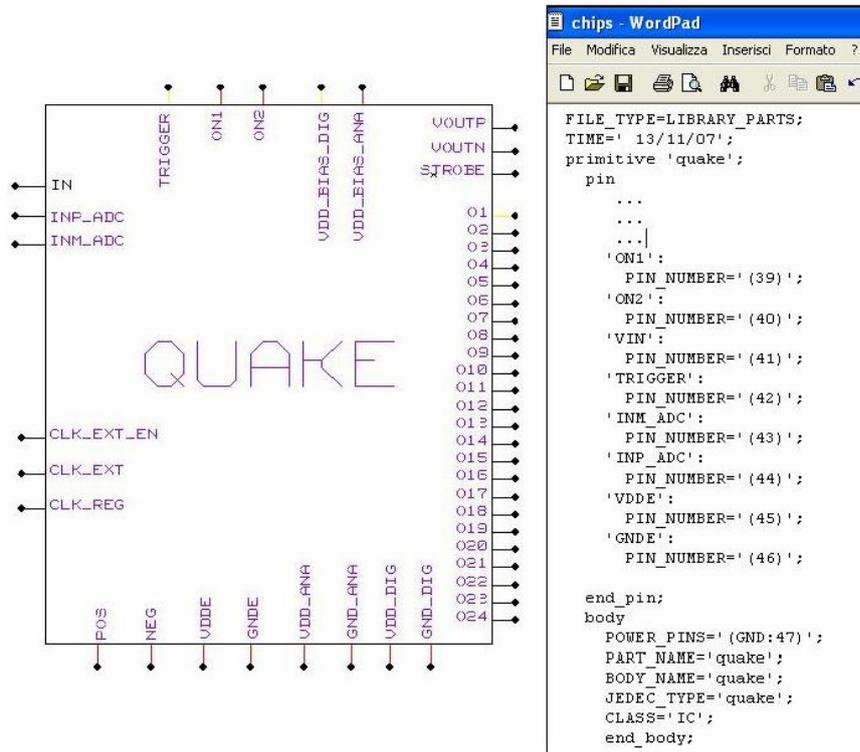


Figura 3.3: A sinistra è mostrato il simbolo del componente da testare, a destra il file `chips.prt` ad esso relativo.

Nel simbolo sono stati inseriti i nomi dei vari pin di input e output del chip come note interno al blocco; ad ogni collegamento esterno deve, necessariamente, essere attribuito il nome del relativo segnale, mediante il comando *add signal name*. Quando si crea un componente circuitale occorre evitare delle incoerenze di nomenclatura tra i segnali definiti sul simbolo e quelli inseriti nel file `chips.prt`. Tali problemi possono determinare degli errori progettuali che ostacolano significativamente l'impiego del componente descritto.

Al fine di avere uno schema più semplice è possibile nascondere i cosiddetti *power pin*, cioè i collegamenti delle alimentazione e della massa, che manterranno la connessione attraverso opportuni riferimenti denominati *net names*. L'utilizzo dei *net names* serve a mantenere ordine e chiarezza all'interno del disegno dello schema, in quanto per collegare tra di loro due net non è necessario unirle con un filo ma è sufficiente che queste abbiano lo stesso *net name*, visto che il software collega automaticamente tra di loro tutti i punti dello schema che hanno lo stesso *net name*.

3.4 Il circuito elettrico della scheda

Nel processo di sviluppo di un circuito stampato la fase più importante, nonché la prima anche in ordine cronologico, è quella della progettazione del circuito che poi si vorrà riportare sul circuito stampato. La fase di disegno e verifica circuitale riveste la massima importanza, in quanto eventuali correzioni al circuito devono essere svolte in questo ambito.

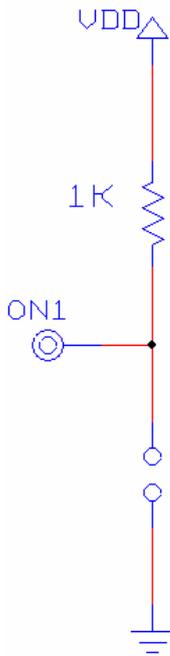
La prima fase del lavoro è stata quella di analizzare i segnali del chip, al fine di raggrupparli in tipologie simili e definire, così, uno schema di base nel quale fossero rappresentati tutti i dispositivi necessari per gestire correttamente il funzionamento del chip stesso. Questo lavoro ha portato alla seguente classificazione:

- 1 ingresso analogico
- 1 segnale di reset
- 4 uscite analogiche
- 25 uscite digitali
- 1 clock esterno
- 1 segnale di enable del clock
- 1 segnale di regolazione del clock
- 6 terminali di alimentazione
- 4 terminali di ground

per un totale di 44 segnali.

Il segnale destinato ad essere convertito è connesso all'ingresso del chip mediante un connettore di tipo Lemo. Il Lemo è un connettore coassiale, con 50Ω di impedenza, usato per segnali analogici veloci di diffusa applicazione nei progetti ad alta densità. Le uscite del preamplificatore, introdotte per testare il corretto funzionamento del preamplificatore sono anch'esse accessibili direttamente attraverso connettori lemo, così come l'uscita differenziale dello stadio di buffer.

I pin di controllo ON1 e ON2 possono assumere o il valore alto (pari a 1.2V) o il valore basso (pari a 0V) e le diverse combinazioni corrispondono a diversi valori del guadagno del chip. La rete circuitale adottata per i segnali ON1 e ON2 è mostrata in Figura 3.4.



ON1	ON2	Guadagno in continua del VGA
SHORT	SHORT	0dB
OPEN	SHORT	10dB
OPEN	OPEN	20dB

Figura 3.4: Rete circuitale di polarizzazione dei pin ON1 e ON2 e relativa tabella di selezione del guadagno del preamplificatore.

La rete è composta da una resistenza di pull-up da 1K Ω e da un jumper. La resistenza di pull-up serve a vincolare la tensione di ON1 (ON2) a 1.2V. Il valore di tensione 0V dei pin si ottiene collegando il jumper verso massa.

Per avere una maggiore separazione ed indipendenza dei nodi di alimentazione e di massa tra la parte analogica e la parte digitale del chip si hanno due circuiti di polarizzazione distinti per le due parti. La rete elettrica di polarizzazione degli ingressi VDD_BIAS_ANA e VDD_BIAS_DIG è costituita da un trimmer da 10K Ω avente due terminali collegati allo stesso potenziale, rendendolo equivalente ad una resistenza variabile (Figura 3.5). Il trimmer regola il punto di lavoro degli specchi di corrente presenti nel blocco di polarizzazione del chip, quindi può essere considerato come un “limitatore” di corrente.

Il trimmer SMD (Surface Mounting Device) scelto per questa rete è un trimmer multigiro (11 giri) di piccole dimensioni per avere una alta densità d’integrazione, buona

stabilità e basso grado di variazione della resistenza del contatto. Le caratteristiche che più di tutte hanno inciso sulla scelta del trimmer sono la precisione del componente, che migliora all'aumentare del numero di giri, ed il tipo di montaggio. Infatti la tecnica di montaggio superficiale SMT (Surface Mounting Technology) con componenti SMD (Surface Mounting Device), è basata sul fatto che la collocazione dei componenti e la saldatura dei terminali vengono effettuati sullo stesso lato della scheda, consentendo di conseguenza una notevole semplificazione del processo di posizionamento e saldatura con una densità di componenti molto elevata.

La presenza di condensatori di filtro (by-pass) tra i terminali di polarizzazione e la massa è necessaria per disaccoppiare parti differenti di un circuito, garantire maggiore stabilità al dispositivo, assorbire eventuali variazioni delle tensioni in gioco ed assicurare maggior precisione al segnale. Questi condensatori, inoltre, riducono l'interazione tra la linea di alimentazione e quelle del segnale, aiutano ad isolare l'ingresso dei circuiti analogici e digitali dall'uscita e abbassano le emissioni di radiofrequenza che potrebbero interferire con il sistema. Nella pratica ogni qual volta tensioni o correnti continue (alimentazione) convivono a fianco di segnali alternati (di qual si voglia frequenza) i componenti di disaccoppiamento svolgono un ruolo insostituibile. La presenza di condensatori multipli è entrata a far parte della buona pratica di progetto dei circuiti a larga banda. In pratica si dispongono due condensatori in parallelo di media e bassa capacità con lo scopo di ampliare la banda di disaccoppiamento. L'originale motivazione di questa scelta deriva dalla considerazione che i condensatori operano come tali fino alla loro frequenza di risonanza (dipendente da più fattori ma inversamente proporzionale alla capacità) e che pertanto due componenti di diverso valore presenteranno, nel loro complesso, un comportamento ideale su uno spettro di frequenze maggiore.

Sono stati inseriti un condensatore elettrolitico al tantalio, ed un condensatore ceramico, con capacità elettrica rispettivamente di $10\mu\text{F}$ e 100nF .

Quindi il condensatore al tantalio migliorerà il disaccoppiamento a basse frequenze, mentre il condensatore ceramico alle alte frequenze.

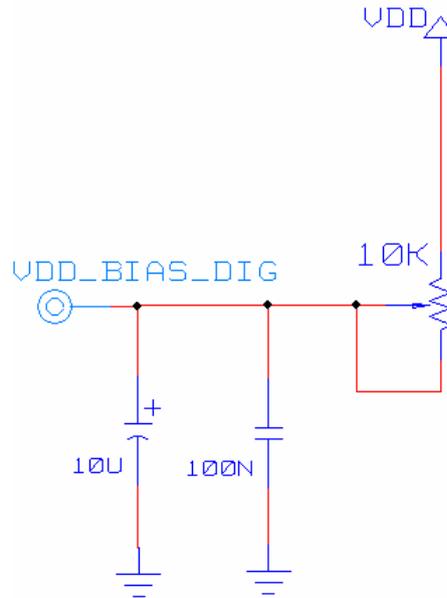


Figura 3.5: Rete circuitale di polarizzazione dei pin *VDD_BIAS_ANA* e *VDD_BIAS_DIG* per alimentare gli specchi di corrente del chip.

Il segnale denominato TRIGGER presente sul chip, fornisce all'oscillatore interno, che genera il clock, uno stimolo iniziale di sincronia delle oscillazioni, e azzerà i registri del sistema presenti nella parte digitale. Il nome convenzionalmente attribuito a questo segnale porterebbe erroneamente ad attribuire a tale segnale la definizione standard di trigger, ma in effetti questo si comporta come un vero e proprio segnale di reset del sistema.

Come abbiamo visto nel capitolo 2, il segnale START interno al chip viene generato attraverso la XOR del segnale d'ingresso e la sua versione negata ritardata, quindi questo ingresso ha bisogno di una semplice rete RC sul circuito stampato in grado di fornire all'ingresso un impulso in corrispondenza dell'accensione della scheda. La rete è formata dalla serie di una resistenza di 500Ω verso l'alimentazione e di una capacità di 10pF verso massa. Una volta che si alimenta la scheda il condensatore si carica e il segnale di trigger si porta al livello logico alto con un tempo di salita pari a $t_{salita} \cong 2.2 \cdot RC$, dove $RC = 50\text{ps}$, e rimane inalterato per tutta la durata di funzionamento del chip.

Il CLK_EXT_EN è il segnale di controllo del multiplexer interno che permette di scegliere la fonte di sincronizzazione tra il segnale di clock acquisito dall'esterno e il segnale di clock generato dall'oscillatore interno. Il circuito realizzato per questo

segnale sulla scheda è analogo a quello visto per i segnali ON1 e ON2, con una resistenza da $1k\Omega$ verso l'alimentazione ed un jumper verso massa (vedi Figura 3.4).

Per l'acquisizione da parte della scheda del clock esterno (CLK_EXT) è stato predisposto un connettore Lemo in modo da rendere più agevole l'invio di vari tipi di segnali di sincronizzazione. Il CLK_REG è il livello in tensione che regola la frequenza di risonanza dell'oscillatore interno. Per questo motivo è stato inserito un trimmer da 500Ω tra alimentazione e massa in modo da regolare in maniera opportuna la tensione in ingresso al chip e quindi far variare la frequenza del clock.

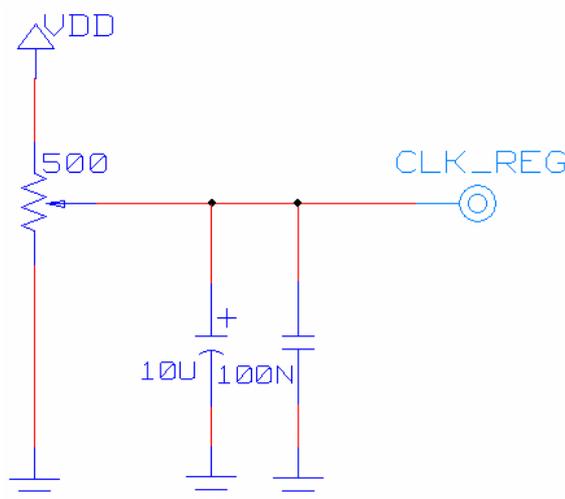


Figura 3.6: Rete circuitale per regolare il livello in tensione del pin CLK_REG.

Anche in questo caso, come possiamo notare dalla Figura 3.6, abbiamo la presenza di due condensatori in parallelo che stabilizzano il segnale.

3.4.1 Stadio d'uscita CMOS-LVDS

Il chip da testare presenta in uscita 25 segnali digitali con frequenza di 250MHz di cui 24 rappresentano il segnale analogico convertito ed un segnale di STROBE. La presenza sullo stadio d'uscita del segnale STROBE permette anche di monitorare l'andamento del clock utilizzato all'interno del chip, sia che esso sia generato internamente o che sia acquisito dall'esterno.

Successivamente i segnali digitali verranno trasferiti su una scheda di acquisizione dati che, grazie alla presenza on-board di una FPGA (Xilinx Virtex 4), consente un'agevole

elaborazione dei dati. La FPGA Virtex-4 è dotata di risorse logiche versatili, grandi capacità di memoria on-chip, ed interfacce ad alta velocità che la rendono adatta per l'esperimento in questione. Per permettere un trasferimento di dati ad alta velocità, un ridotto consumo di potenza e un'elevata immunità al rumore, l'FPGA necessita di segnali di I/O nello standard LVDS.

La sigla LVDS è l'acronimo di Low-Voltage Differential Signaling. Esso è uno standard di trasmissione lungo un bus elettrico che garantisce elevate velocità su cavi intrecciati o su piste di una PCB. Tale standard di trasmissione, unisce alla velocità elevata anche un ridotto consumo rispetto alle tecnologie concorrenti.

Dal punto di vista elettrico, il segnale LVDS è differenziale e consente di ottenere una trasmissione fino a velocità dell'ordine del gigahertz. In Figura 3.7, dove è mostrato uno schema elettrico semplificato di un trasmettitore e un ricevitore LVDS, si può notare che l'uscita consiste di un generatore di corrente (con valore nominale di 3.5mA) che pilota la linea differenziale. Poiché l'impedenza d'ingresso del ricevitore ha un valore molto elevato, la maggior parte del flusso di corrente passa attraverso la terminazione di 100Ω e genera un valore di tensione ai suoi capi pari a 350mV. Quando il driver commuta, il flusso di corrente si inverte. In questo modo il ricevitore può distinguere il valore logico "0" ed "1".

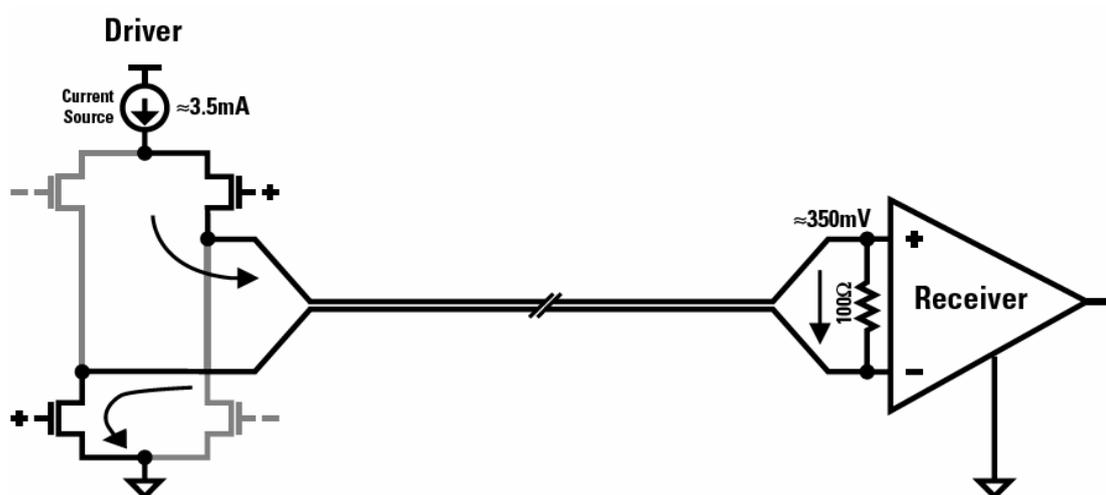


Figura 3.7: Schema elettrico semplificato di un driver ed un ricevitore LVDS, connessi tramite un'impedenza differenziale di 100Ω .

Quindi i segnali digitali CMOS in uscita dal chip necessitano di un adeguato trasmettitore per essere convertiti in segnali LVDS e adattati alla successiva elaborazione da parte della FPGA. La ricerca di opportuni driver che potessero accettare un segnale CMOS in ingresso con stato logico alto 1.2V, frequenza minima di lavoro di 250MHz e tali da generare un segnale LVDS in uscita è stata difficile, nonostante la vasta gamma di prodotti messa a disposizione dalle varie ditte costruttrici. La scelta è ricaduta sul comparatore ad alta velocità con uscita LVDS della National Semiconductor (LMH7220). Le caratteristiche principali di questo integrato sono: l'alta velocità, basso consumo di potenza, ritardo di propagazione di 2.9ns, tempi di salita e di discesa pari a 0.6ns e una corrente d'alimentazione di 6.8mA a 5V. L'intervallo di tensioni d'ingresso si estende fino a -200mV, permettendo un certo grado di sensibilità alla massa nel caso di singola alimentazione. Molto importante è anche il suo package TSOT a 6 pin che consente la sua collocazione in condizioni critiche di spazio.

Una specifica molto importante per il nostro progetto, tra quelle appena descritte sono i tempi di salita e di discesa dei segnali. Infatti, essi determinano il massimo *toggle rate* (TR) che è definito come il doppio del *bitrate*¹ del componente quando la tensione differenziale in uscita si riduce al 50% del suo valore nominale (vedi Figura 3.8).

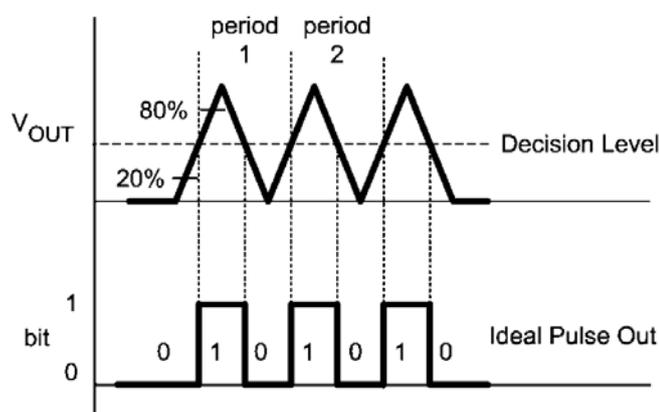


Figura 3.8: Bitrate.

Essendo il tempo di salita T_r ed il tempo di discesa T_f definiti come l'intervallo di tempo per passare dal 20% all'80% dell'ampiezza del segnale (differenza del 60%), possiamo risalire al TR attraverso la formula:

¹ Bitrate: numero di bit trasmessi in un'unità di tempo, in genere il secondo, misurato in Kbit/sec o Kbps.

$$TR = \frac{60}{50} \cdot \frac{2}{(Tr + Tf)}$$

Tenendo conto che il driver LVDS da noi scelto ha tempi di salita e discesa di circa 0.6ns, con semplici calcoli, otteniamo che il parametro TR vale circa 2Gb/s. Questo ci permette di adottare questo componente per i nostri scopi.

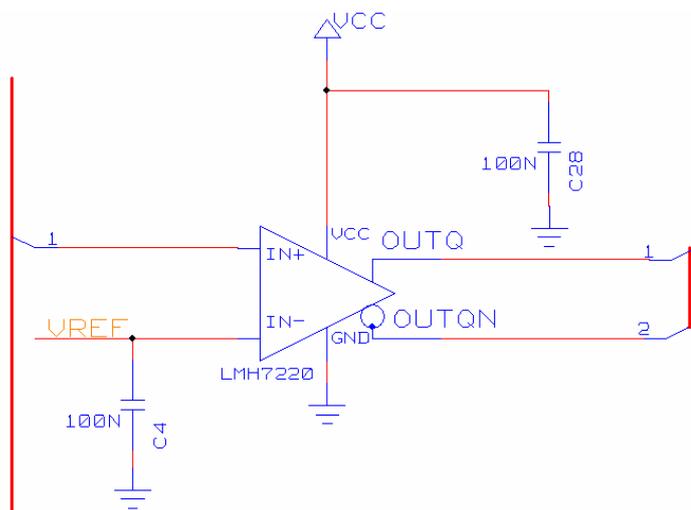


Figura 3.9: Rete circuitale dei driver di conversione dei segnali CMOS in uscita dal chip in segnali LVDS.

Nello schema elettrico i 25 segnali in uscita dal chip sono instradati in un bus, portati in ingresso ai comparatori con tensione di riferimento pari a 0.6V (Figura 3.9), convertiti in segnali LVDS e con l'ausilio di un ulteriore bus portati sul connettore in uscita.

Per interfacciare i segnali LVDS della scheda con l'FPGA sono stati utilizzati due connettori a 50 pin a montaggio superficiale.

3.4.2 La sezione di potenza

Nei sistemi misti analogico-digitali la vicinanza dei componenti integrati e delle loro interconnessioni presenti sullo stesso chip porta ad avere un aumento delle interazioni tra la sezione analogica e la sezione digitale dell'integrato. Le interazioni limitano le prestazioni del sistema influenzando in particolare sul funzionamento della sezione analogica. Nella sezione digitale normalmente la commutazione delle varie porte avviene a velocità così elevate da causare dei segnali di disturbo, delle correnti spurie o altri fenomeni che possono deteriorare significativamente il funzionamento della parte

analogica, che è meno immune ai disturbi rispetto alla parte digitale del sistema. Per questo motivo nella maggior parte di sistemi misti, come nei convertitori, si provvede alla separazione delle alimentazioni e dei nodi di massa della parte analogica e della parte digitale.

Il valore di tensione delle alimentazioni VDD_ANA e VDD_DIG e delle masse GND_ANA e GND_DIG sono rispettivamente 1.2V e 0V, come richiesto dalla tecnologia CMOS 0.13 μ utilizzata per la realizzazione del circuito integrato.

Inoltre su ogni porta di input/output il chip prevede la presenza di diodi di protezione, per evitare eventuali correnti inverse in ingresso che potrebbero danneggiare l'apparato interno. I diodi sono alimentati in modo indipendente con due altre tensioni VDDE e GNDE sempre con lo stesso valore di tensione di 1.2V e 0V.

Due ulteriori tensioni, POS e NEG, sempre con gli stessi livelli di tensione, sono utilizzate per generare le tensioni di riferimento dei comparatori presenti nell'ADC.

Infine abbiamo la necessità di assicurare ai driver LVDS d'uscita un'opportuna tensione di alimentazione che garantisca il loro funzionamento. Quindi è stata prevista un'ulteriore tensione di alimentazione di 5V ed una massa, indicate sullo schema come VCC e GND.

Il connettore a 12 pin impiegato per le alimentazioni è mostrato in Figura 3.10.

Lo schema presenta tutte le masse precedentemente elencate collegate in unico punto che potrebbe sembrare in contrasto con il concetto di isolamento delle alimentazioni precedentemente esposto. L'isolamento fisico ed effettivo delle linee di massa e di alimentazione verrà realizzato direttamente sul layout dello stampato creando degli opportuni tagli (shape) di isolamento intorno a queste linee nel piano di massa (ground plane) loro dedicato. Questo concetto sarà spiegato in modo esaustivo nei paragrafi successivi che illustrano la struttura del circuito stampato.

Anche le tensioni di alimentazione necessitano di un *filtraggio*. L'uso di filtri antidisturbo e di una coppia di condensatori è una pratica comune per evitare veloci variazioni di tensione sulle alimentazioni. Per questo motivo, sono stati inseriti un condensatore elettrolitico ed un condensatore ceramico, con capacità di 10 μ F e 100nF rispettivamente, per fornire la corrente necessaria al corretto funzionamento dei circuiti integrati sia alle basse che alle alte frequenze. Per garantire la massima integrità del

segnale i condensatori situati in prossimità dei dispositivi devono essere fisicamente posti a ridosso di questi.

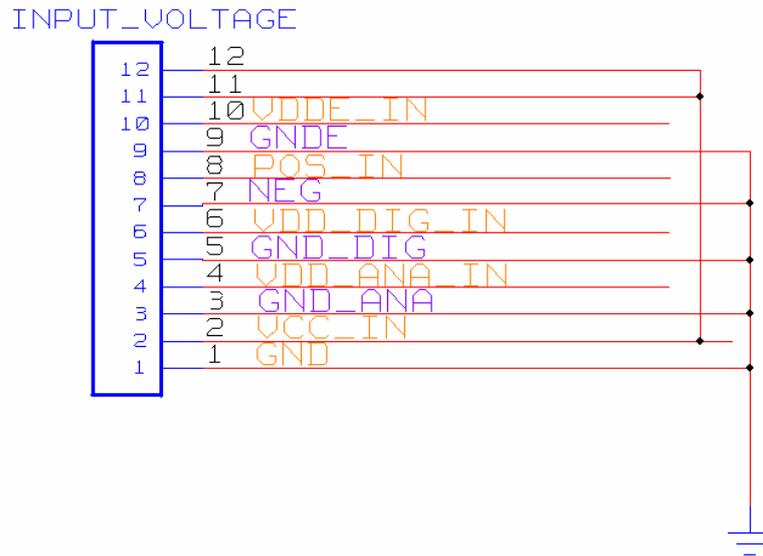


Figura 3.10: Connettore per le tensioni di alimentazione.

Inoltre su ogni alimentazione d'ingresso è stata prevista la presenza di un filtro antidisturbo a tre terminali che dà la possibilità di ridurre i disturbi a frequenze più elevate rispetto a quelle dei condensatori tradizionali, per via della sua piccola dimensione e della sua bassa induttanza parassita.

La Figura 3.11 mostra il filtraggio delle alimentazioni appena descritto.

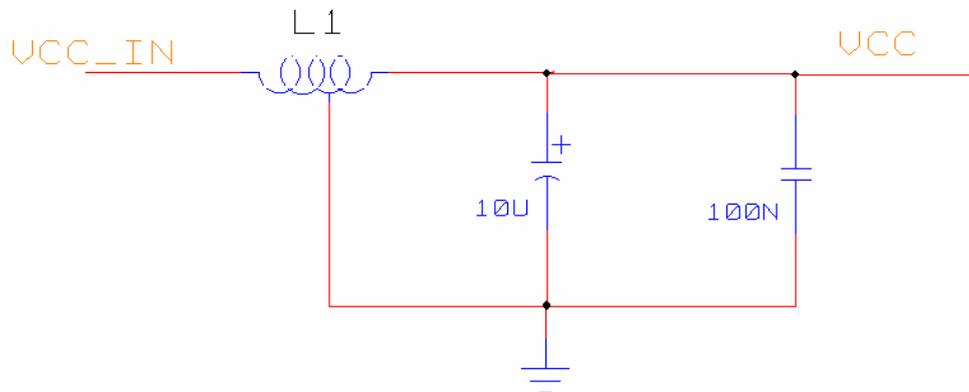


Figura 3.11: Filtro antidisturbo sulle alimentazioni.

La presenza di diverse alimentazioni tutte allo stesso valore, fatta eccezione per VCC, hanno portato a prendere in considerazione già in una prima realizzazione della scheda l'uso di un'unica alimentazione.

Alimentando la scheda con i soli 5V della tensione di alimentazione VCC e utilizzando degli appositi regolatori di tensione, si è in grado di fornire al circuito le tensioni di 1.2V necessarie. Il regolatore scelto è il NCP566 della On Semiconductor, un regolatore di tensione lineare con bassa tensione di dropout (differenza tra tensione in ingresso e in uscita dello stadio regolatore) che può fornire una corrente massima sul nodo d'uscita di 1.5A. Nell'applicazione è consigliato l'impiego di un condensatore di bypass sulla tensione in ingresso nel caso in cui il regolatore fosse in prossimità della sorgente di alimentazione e per migliorare la risposta al transitorio, ed un condensatore sul nodo d'uscita per stabilizzare la tensione. I condensatori utilizzati per soddisfare queste specifiche sono dei condensatori elettrolitici da 10 μ F.

Per avere quindi la possibilità di poter alimentare la scheda con un'unica alimentazione da 5V è stato inserito un connettore con un numero di poli inferiore rispetto al primo e predisposto un jumper per la scelta tra la multipla alimentazione o la singola alimentazione. Lo schema circuitale può essere compreso con l'ausilio della Figura 3.12.

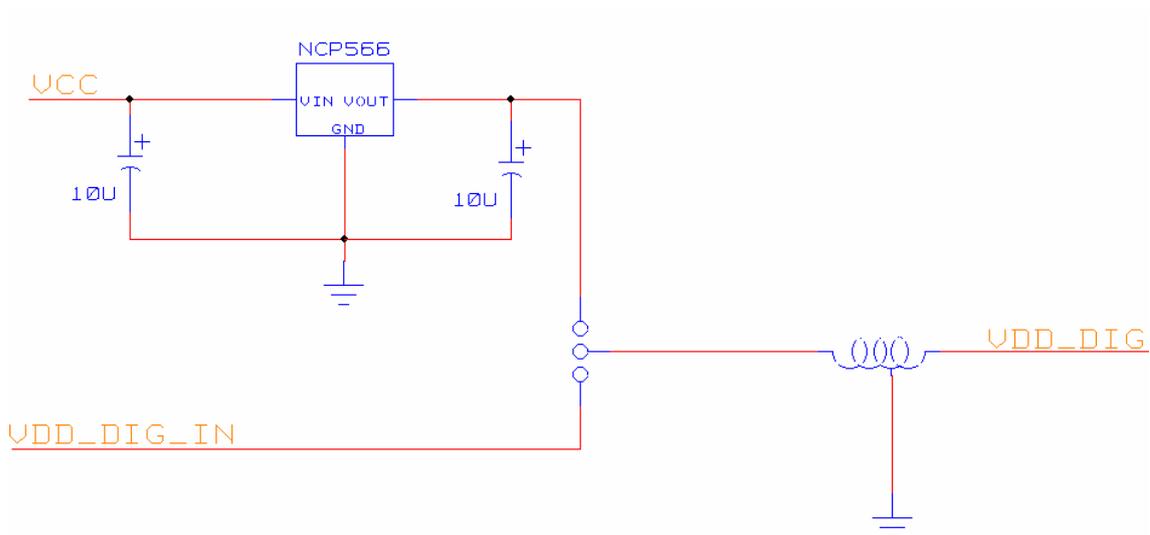


Figura 3.12: Regolatore di tensione da 5V a 1.2V per la selezione di alimentazione singola o multipla attraverso un jumper.

3.5 Preparazione alla creazione del Layout

Una volta terminata la fase di disegno dello schema elettrico, Allegro mette a disposizione gli strumenti per effettuare operazioni di controllo e di esportazione del progetto in vari formati attraverso la creazione di netlist. Il controllo dello schema è affidato allo strumento denominato DRC (*Design Rule Check*): una volta mandato in esecuzione effettua una scansione delle cartelle componenti lo schema per verificare che il disegno sia conforme alle regole di progetto, di cui alcune specificabili dall'utente; genera poi un rapporto contenente gli errori e i warning incontrati, e per ciascuno di questi specifica dei marker sulla relativa pagina dello schema per aiutare a localizzarli e risolverli. Il DRC è uno strumento molto potente che dà la possibilità al progettista di accorgersi di eventuali contese di un bus o pin non connessi prima di utilizzare gli strumenti di sintesi del progetto. L'utilizzo di questo strumento consente una più efficiente creazione della netlist, in modo da evidenziare i particolari problemi nel momento della sua creazione. Va comunque ricordato che il DRC è solo una guida per verificare l'integrità del disegno: è possibile ottenere una netlist valida anche se il rapporto del DRC presenta errori. Tra tutte le regole di progetto che si possono scegliere da verificare molto importanti sono le Electrical Rules Check (ERC) che permettono di stabilire le condizioni da verificare nel controllo delle connessioni tra i pin. I rapporti vengono generati sotto forma di file di testo e possono essere visualizzati con qualsiasi editor o anche con un foglio elettronico.

Prima di effettuare l'esportazione fisica dello schema occorre associare ad ogni componente il relativo footprint. Nel caso in cui il footprint del componente non fosse presente nelle librerie standard di Allegro, deve essere realizzato utilizzando il modulo ausiliario *Allegro Package Designer* presente nel pacchetto di Allegro.

L'associazione del package al componente si ottiene inserendo tra i suoi attributi la voce *JEDEC_TYPE* e nel corrispondente campo il nome del package creato, come si può vedere in Figura 3.13.

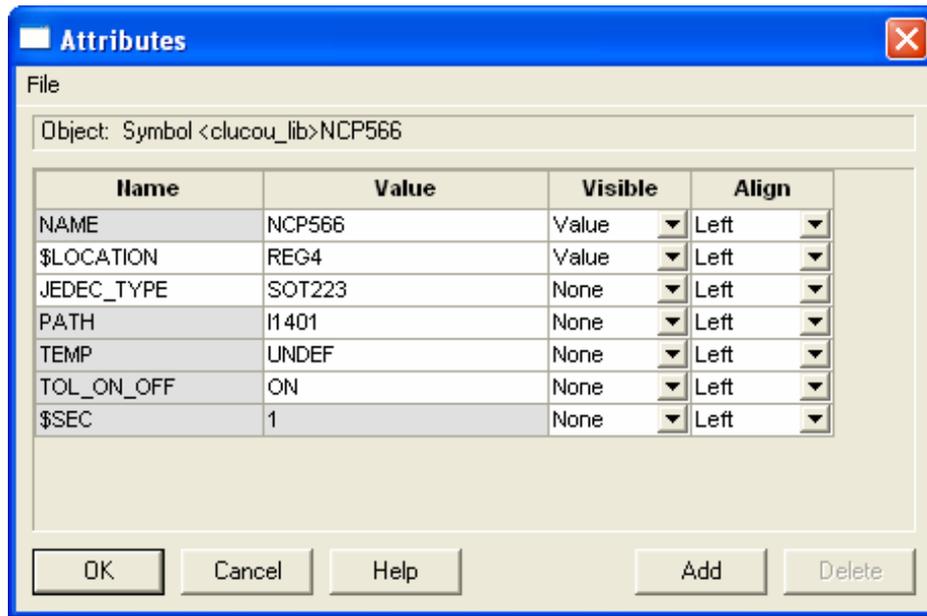


Figura 3.13: Finestra delle proprietà associate ad un componente dove la variabile `Jedec_Type` è il footprint associato al componente.

3.5.1 Definizione del package dei componenti

Allegro Package Designer è uno dei moduli ausiliari di Allegro PCB Design ed è utilizzato per creare il relativo footprint di ogni componente seguendo le specifiche imposte dal datasheet. Le librerie di Allegro mettono a disposizione una vasta gamma di package utilizzabili dai progettisti, però nella maggior parte dei casi si ha la necessità di crearne dei nuovi, strutturandoli in modo da essere quanto più vicini possibile al reale aspetto fisico del componente .

Il footprint è una raccolta di informazioni che definiscono come un componente sarà collegato e utilizzato alla scheda. Può essere considerato in via semplificata come “l'impronta” del componente sulla scheda, indicante l'area occupata, la geometria dei suoi pin, ed altre informazioni relative ad ogni layer di cui è costituito la scheda.

Il footprint è ottenuto realizzando la serigrafia della sua geometria sul layer della scheda predisposto ad ospitare tale componente. Molto importante nel momento della realizzazione è l'inserimento dei riferimenti del componente, cioè la sigla identificativa che sarà accostata ad esso sul layout fisico.

Il software Allegro PCB Editor inoltre mette a disposizione del progettista un ulteriore modulo ausiliario denominato Pad Designer, per realizzare e modificare il footprint dei pad e dei via.

In Figura 3.14 possiamo vedere il footprint realizzato per collocare il chip sulla scheda. In particolare si può notare la pad centrale creata per ospitare il chip nudo sulla scheda e le pad di bonding poste a 3mm dalla pad centrale. Il posizionamento delle piazzuole ad almeno 2mm di distanza dal chip è una scelta necessaria per facilitare la fase di bonding ed eliminare la presenza di fili troppo arcuati, facilmente rimovibili durante le varie manipolazioni.

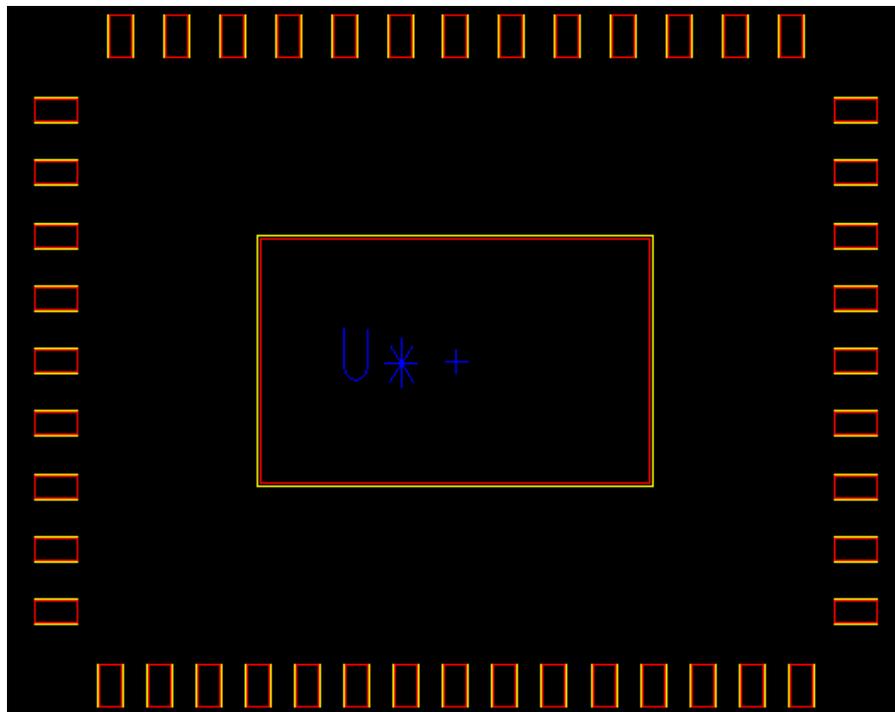


Figura 3.14: Footprint dell'area di collocazione del chip sulla scheda.

3.6 Realizzazione del layout della scheda di test

Una volta effettuata la verifica del circuito e associato ad ogni componente il relativo footprint è possibile esportare lo schematico creato.

Allegro PCB Editor è il software per il disegno di schede elettroniche integrato nel pacchetto Allegro PCB 15.2. Consente di svolgere tutte le fasi di lavorazione di un PCB, dall'importazione della netlist generata con un programma di disegno circuitale come il Design Entry HDL, fino alla generazione dei file Gerber, che rappresentano il prodotto finale di tutto il lavoro, utilizzati da chi effettua il processo di fabbricazione vero e proprio del PCB.

Nella nuova sessione di lavoro bisogna prima di tutto stabilire le dimensioni del circuito stampato e impostare i “vincoli” (*constraints*) di progetto.

La scheda progettata ha una geometria rettangolare di dimensioni 7x13cm, adatte alla grandezza del supporto della macchina che effettuerà il wire-bonding del chip.

Come per il Design Entry HDL, anche a livello di board editor c'è un DRC, con cui è possibile verificare la conformità delle regole di progetto specificate a priori.

Allegro PCB Design mette a disposizione un *Constraint Manager* con il quale è possibile impostare i vari vincoli di progetto. Questi vincoli sono organizzati in gruppi predefiniti in accordo al tipo di elemento e al suo comportamento, tra questi abbiamo: *Spacing Constraints* che gestiscono lo spazio fra gli elementi di una stessa rete o di reti differenti, *Physical Constraints* relativi alle costruzioni fisiche della rete ed *Electrical Constraints* riguardanti il comportamento elettrico della rete stessa.

Oltre alla selezione dei componenti e al progetto del circuito, la realizzazione di un buon layout della scheda è un fattore molto importante per migliorare le prestazioni della scheda in termini di funzionalità, integrità del segnale, compatibilità e interferenza elettromagnetica (EMC ed EMI); infatti si deve prestare molta attenzione alle interferenze e al rumore all'interno della scheda e bisogna rispettare le specifiche dei dispositivi in termini di bypass, disaccoppiamento, uso dei piani di massa e regole EMC. Le emissioni e le relative interferenze riguardano i diversi tipi di campi

elettromagnetici prodotti da un dispositivo elettronico ed è principalmente un problema causato da dispositivi digitali. Frequenze di clock elevate e piccoli tempi di salita/discesa dei segnali richiedono una appropriata gestione del design, del layout e del routing della scheda al fine di minimizzare le interferenza elettromagnetiche (EMI). Le commutazioni ad alta frequenza infatti hanno la capacità di produrre onde elettromagnetiche che generano risonanza, rumore di commutazione simultanea, riflessioni e accoppiamento tra tracce di segnale e piani di massa e/o alimentazione.

Le tracce agiscono come antenne e irradiano il rumore verso altri sistemi; queste indesiderate antenne inoltre possono ricevere il rumore generato da sorgenti esterne. Le correnti di interferenza indotte dall'esterno possono disturbare gli ingressi sensibili dei circuiti analogici e ridurre il margine di rumore dei dispositivi digitali.

Il rumore di modo comune o rumore di impedenza comune è prodotto da una corrente elettrica o dal relativo segnale che viaggia simultaneamente sotto la traccia e lungo il suo percorso di ritorno.

Il rumore di modo comune è spesso presente nelle tracce di massa ed è dovuto all'impedenza finita della massa che fornisce un'impedenza comune. L'ampiezza della radiazione è proporzionale al livello di corrente, alla lunghezza della linea e alla frequenza ed è indipendente dall'orientamento rispetto alla sorgente. Mentre le correnti di modo differenziale rappresentano comunque il segnale voluto, le correnti di modo comune sono spesso prodotte involontariamente a causa dell'impedenza finita della massa o attraverso l'accoppiamento tra circuiti, queste sono più difficili da prevedere e sono di solito le più dannose nei loro effetti. Questo tipo di rumore può essere ridotto attraverso l'uso di appropriate tecniche di progetto riducendo l'impedenza di modo comune o mettendo una ferrite attorno ai cavi.

3.6.1 Stack-up della scheda

Lo stack-up della scheda, ovvero la configurazione dei layer all'interno della scheda, è un fattore molto importante nella determinazione delle prestazioni finali. Un buon stack-up può infatti essere molto efficiente nel ridurre le radiazioni emesse dai percorsi chiusi (loop) della scheda (emissioni di modo differenziale) e dai cavi connessi alla scheda (emissioni di modo comune). Lo stack-up della scheda riguarda principalmente

quattro aspetti: il numero di strati, il numero ed il tipo di piani (massa e/o alimentazioni) usati, la sequenza degli strati e la loro spaziatura.

Per quanto riguarda i piani di alimentazione e massa, le schede multistrato con piani di massa e di alimentazione riducono in modo significativo le emissioni irradiate (15 dB in meno rispetto a schede a due layer, a parità degli altri fattori). Le schede che contengono dei piani sono migliori di quelle senza piani perché consentono di tracciare i segnali nelle configurazioni microstrip o stripline, ovvero linee di trasmissione ad impedenza controllata che riducono le emissioni; il piano di massa inoltre diminuisce molto l'impedenza (e quindi il rumore) sulla massa. Spesso si è di fronte alla scelta tra uno stretto accoppiamento segnale/piano e uno stretto accoppiamento piano di alimentazione/piano di massa. Con le normali tecniche di costruzione di PCB non c'è una sufficiente capacità tra i piani di alimentazione e massa adiacenti tale da provvedere ad un adeguato disaccoppiamento (decoupling) al di sotto dei 500 MHz.

La configurazione scelta per la realizzazione della scheda, sulla base di quanto descritto precedentemente, è a quattro layer (vedi Figura 3.15). I quattro strati sono uniformemente spazati tra loro disponendo all'interno i piani di massa (*ground*) ed alimentazione (*power*) e destinando i due strati esterni allo sbroglio (*routing*) dei segnali.

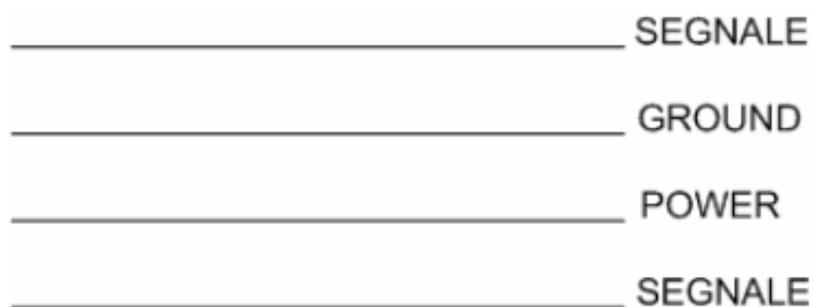


Figura 3.15: Assegnazione funzionale dei 4 layer che costituiscono la scheda.

Questa configurazione presenta tre vantaggi: l'area della spira di segnale (*signal loop area*) è più piccola e produce quindi meno radiazioni di modo differenziale, lo stretto accoppiamento tra traccia di segnale e piano di massa riduce l'impedenza (*induttanza*) del piano riducendo così le radiazioni di modo comune emesse dai cavi connessi alla

scheda, lo stretto accoppiamento tra traccia e piano riduce inoltre il crosstalk tra tracce adiacenti (per una distanza fissa tra tracce, il crosstalk è infatti proporzionale al quadrato dell'altezza della traccia rispetto al piano di ritorno della corrente). Questa configurazione rappresenta il metodo più semplice e meno costoso per ridurre le emissioni di una scheda a quattro layer e garantisce uno sbroglio più agevole del circuito. Il PCB Editor di Allegro gestisce schede fino a 16 livelli di metallizzazione: layer top e bottom sulle due facce visibili della scheda e 14 strati di metallizzazione interni. Utilizzando la finestra di *Cross Section* è possibile impostare il numero di layer di cui si comporrà la scheda, il materiale di ogni singolo layer e lo spessore complessivo della scheda, come mostra la Figura 3.16.

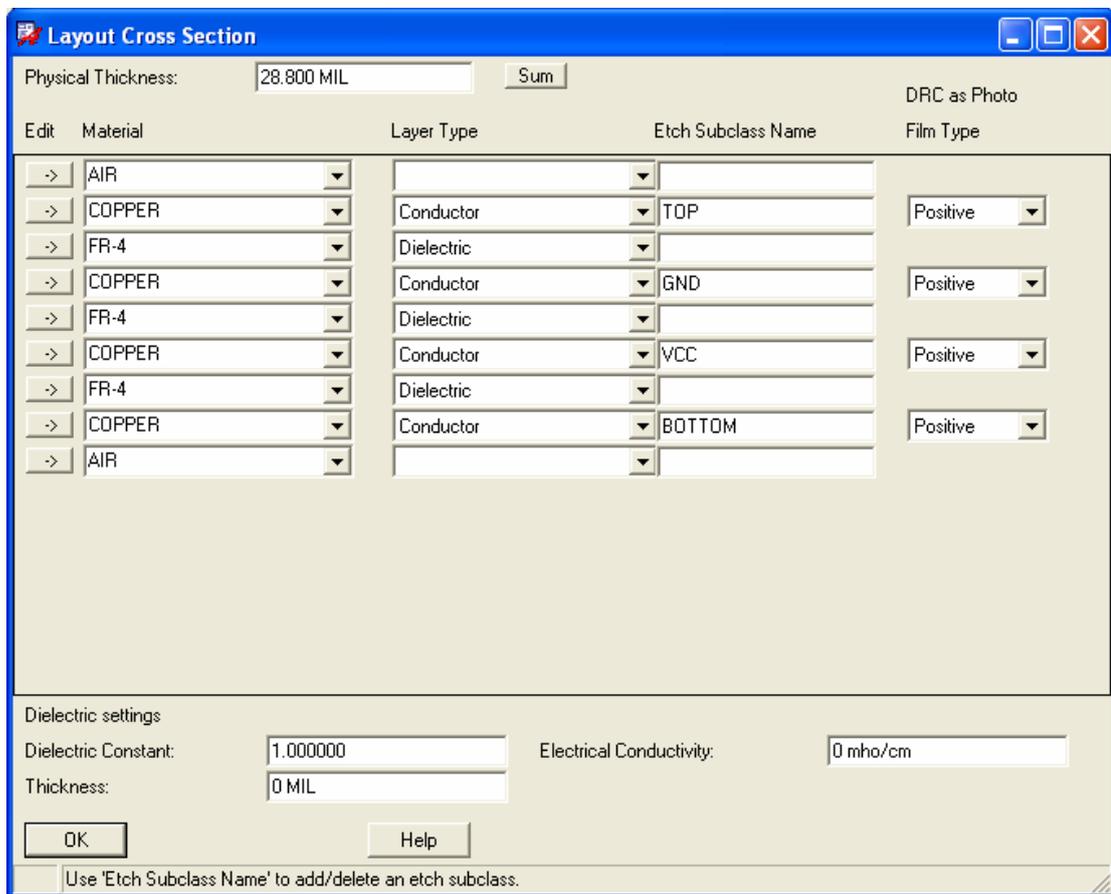


Figura 3.16: Finestra grafica per l'impostazione dello stack-up della scheda.

3.6.2 Piani di potenza e di massa

L'obiettivo base di un buon sistema di massa è la minimizzazione delle tensioni di rumore che provengono dalle correnti che circolano attraverso l'impedenza della massa. I riferimenti di massa dei segnali devono consentire percorsi di ritorno a bassa impedenza alle sorgenti dei segnali, considerando le frequenze operative del sistema.

Per minimizzare le interferenze relative alla massa è essenziale capire il meccanismo che genera il rumore sulla massa: tutti i percorsi di massa hanno un'impedenza finita e, in tutti i circuiti, il flusso di corrente deve tornare alla sorgente che l'ha generata. Quando la corrente circola attraverso una linea di massa ad impedenza finita, si genera inevitabilmente una caduta di tensione che causa, a sua volta, interferenza nel sistema di massa; all'aumentare della frequenza aumenta anche l'interferenza risultante nel sistema di massa, degradando le prestazioni di componenti analogici a basso livello di tensione come i convertitori A/D.

Infatti, attraverso la massa vista come un'impedenza comune, può verificarsi l'accoppiamento del rumore tra due circuiti; questa situazione è mostrata in Figura 3.17.

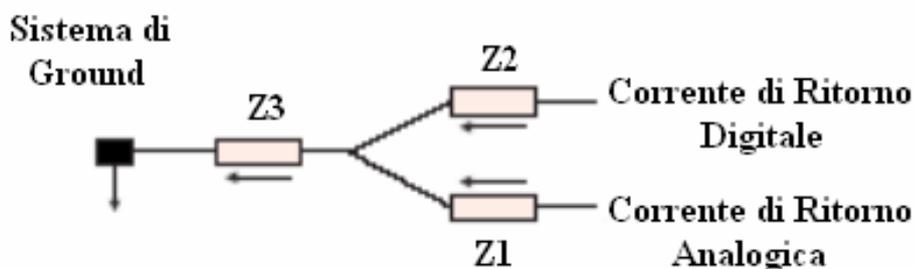


Figura 3.17: Accoppiamento tra parte analogica e digitale dovuta all'impedenza comune Z_3 .

La tensione nel nodo formato dai due segnali è dovuta alle correnti ed alle induttanze dei percorsi dei segnali analogici e digitali. Il rumore, a causa dell'impedenza comune Z_3 , risulta condiviso tra i due segnali. Viene così creata una tensione di offset DC tra il punto di massa e il nodo sommatore; nei sistemi digitali questo offset è dinamico e produce una componente di rumore ad alta frequenza che, quando avvengono delle commutazioni, può disturbare il funzionamento della circuiteria analogica a basso livello di tensione.

La problematica del rumore del piano di massa ha portato ad effettuare una scelta particolare anche per quanto riguarda la chiusura delle masse: in una scheda il piano di massa analogica dovrebbe essere fisicamente separato da quello di massa digitale, sebbene sia necessario collegarli in maniera tale che le due tipologie di segnale facciano riferimento al medesimo potenziale. Questa connessione, effettuata generalmente in un solo punto dello schema, prende il nome di *Star Ground Configuration*.

Per la scheda sviluppata si è ottenuta la separazione isolando le linee di massa con degli opportuni tagli sulla scheda. Le aree delimitate non permettono il passaggio di altre tracce in queste zone del piano di massa o la presenza di via e vengono comunemente definite aree di *keepout* (vedi Figura 3.18). Le diverse masse saranno separate nel loro percorso sul piano di massa fino a ricongiungersi in prossimità dei connettori d'alimentazione.

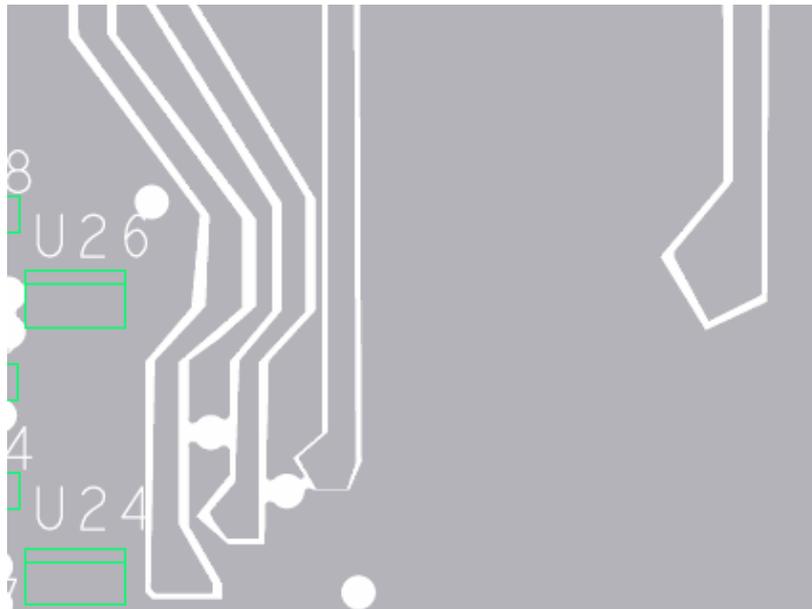


Figura 3.18: Esempio di aree di *keepout* della scheda.

L'introduzione del piano di alimentazione, oltre a risolvere i problemi già discussi in precedenza, ha permesso di ottenere uno sbroglio più agevole e un percorso preferenziale per le correnti di alimentazione dei driver LVDS. Infatti l'introduzione di un piano d'alimentazione a 5V e le tracce verticali delle alimentazioni ad 1.2V del chip ha permesso di avere per le correnti di alimentazione dei driver un percorso diretto verso questi componenti.

3.6.3 Placing dei componenti e Routing delle piste di collegamento

Nel flusso di progetto di una scheda le operazioni di placement dei componenti e di routing dei collegamenti sono naturalmente degli anelli fondamentali della catena di realizzazione di un PCB (Figura 3.19).

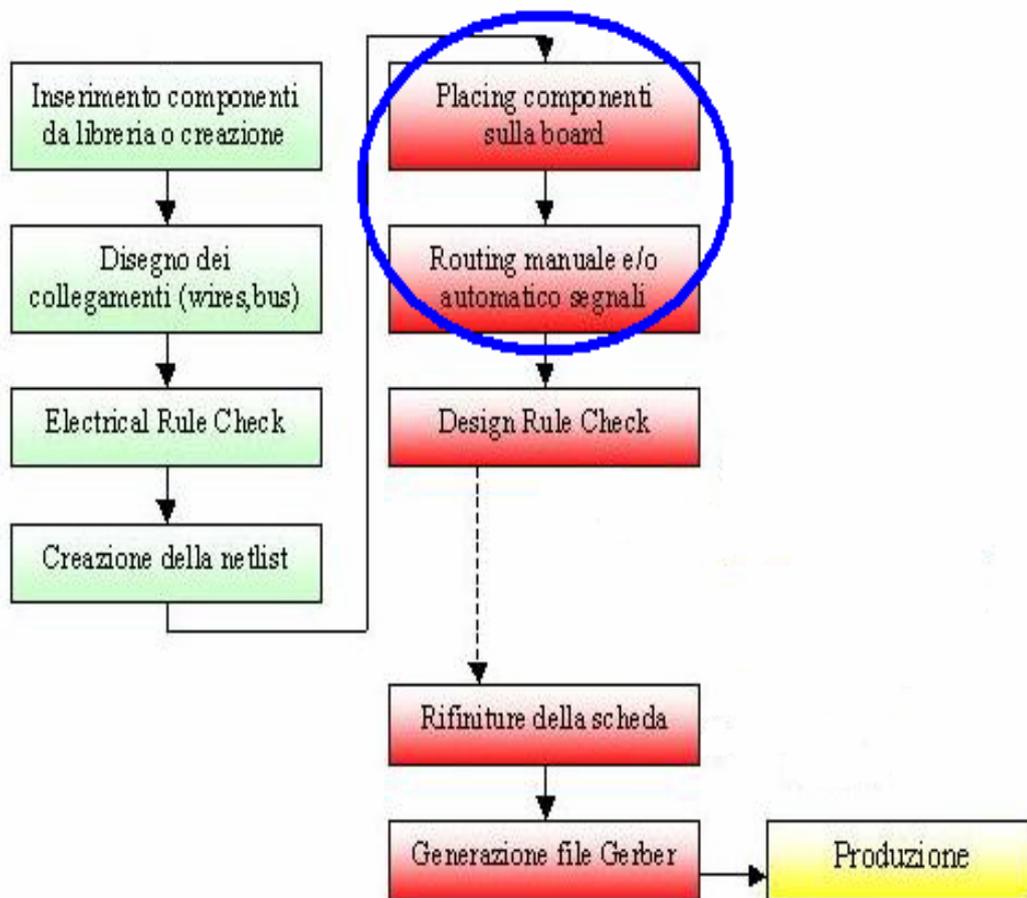


Figura 3.19: Flusso dettagliato di progetto della scheda.

Quando si inizia a lavorare sul layout della scheda Allegro PCB Editor inserisce in un opportuna lista (*placement list*) i componenti esportati identificandoli con il riferimento creato automaticamente. La prima operazione da compiere è quindi procedere al collocamento dei componenti sull'area della scheda: questa fase può essere fatta dal

progettista oppure si può utilizzare la funzione di “automatic placement”. I collegamenti sono mostrati come sottili linee rette (ratsnest) che si spostano quando il componente viene mosso. Questi collegamenti, come mostrato in Figura 3.20, presentano un alto numero di incroci.

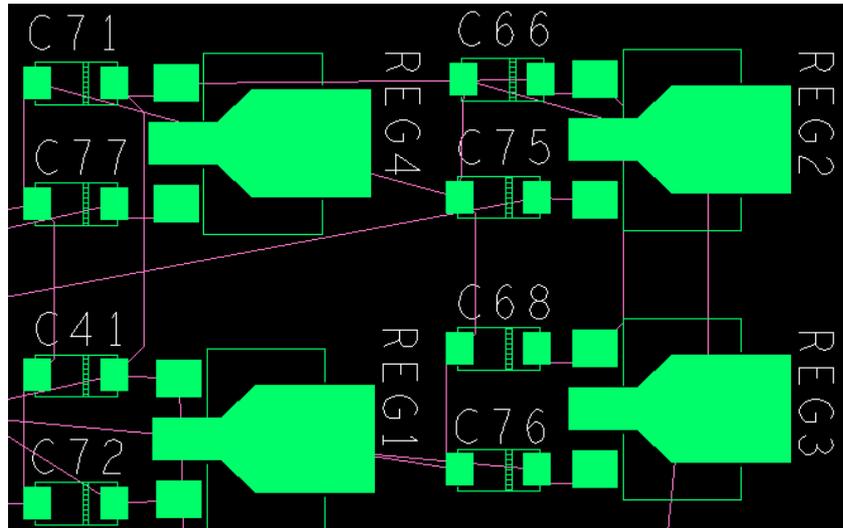


Figura 3.20: Layout di una parte della scheda dopo la fase di placement dei componenti.

Dopo il collocamento dei componenti, il progettista dovrà trovare per ogni ratsnest un percorso sulla scheda che non intersechi le altre connessioni (Figura 3.21).

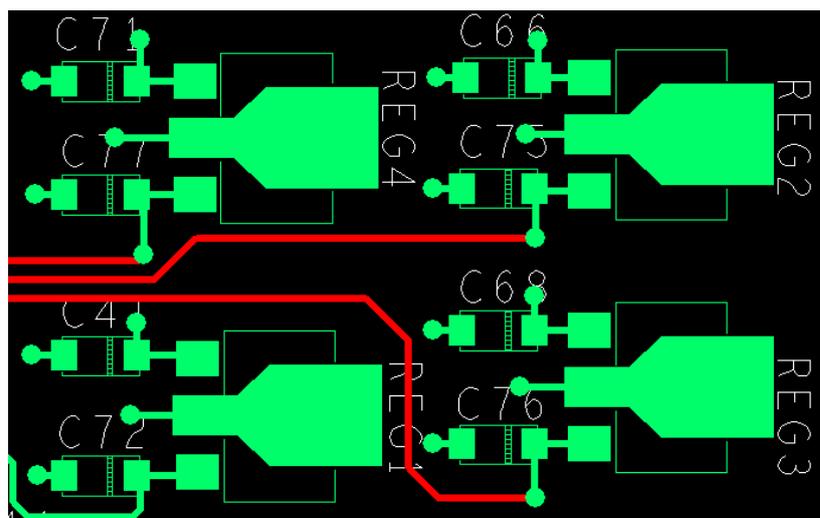


Figura 3.21: Layout dopo la fase di sbroglio delle piste di collegamento.

La fase di placement dei componenti nel nostro progetto è mirata a mantenere i driver CMOS-LVDS in prossimità del chip per prevenire le eventuali componenti di rumore che potrebbero deteriorare significativamente il segnale single-ended in uscita dal chip. Il posizionamento semicircolare dei driver intorno al chip ha permesso di soddisfare la specifica precedente, raggruppando in un'area localizzata della scheda lo stadio d'uscita e rendendo disponibile un'ampia superficie del PCB per lo sbroglio degli altri segnali. Le tracce realizzate per collegare i componenti possono essere considerate come le linee di trasmissione del circuito stampato. Le linee di trasmissione utilizzate sul PCB si differenziano per la loro struttura e possono essere catalogate in: *stripline*, *microstrip* e *differential microstrip*. Il principale parametro delle linee di trasmissione è l'impedenza caratteristica. L'impedenza caratteristica delle microstrip e delle differential microstrip è funzione della larghezza della striscia, dello spessore del dielettrico, della costante dielettrica, dello spessore della microstriscia e, nel caso delle microstrip differenziali, della distanza fra le tracce differenziali.

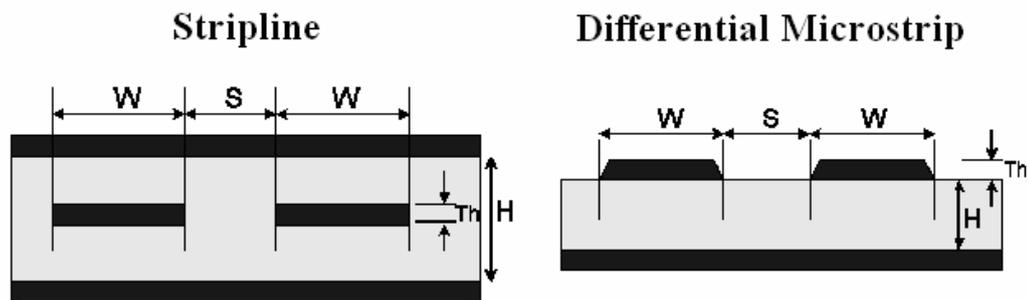


Figura 3.22: Tipologia di linee di trasmissione della scheda (la microstrip è analoga alla differential microstrip ma con una singola traccia).

La linea di trasmissione adatta per i segnali LVDS è la differential microstrip. La differential microstrip è composta da due singole microstrip interspaziate e il loro forte accoppiamento determina l'impedenza caratteristica, come mostra la Figura 3.22.

Un principio fondamentale quando si opera con dei circuiti ad alta velocità è quello dell'adattamento d'impedenza. Infatti, in questo tipo di progetti, è necessario adattare l'impedenza caratteristica della differential microstrip con l'impedenza dell'apparecchio terminale collegato per evitare fenomeni di riflessione e quindi degradazione del segnale.

Per evitare questi problemi, che inevitabilmente comprometterebbero la dinamica d'uscita dei segnali, si sono calcolati i parametri delle linee di trasmissione (in particolare larghezza delle linee e distanza tra linee) in modo da avere l'impedenza delle coppie differenziali in uscita pari a 100Ω .

Per il calcolo di questi parametri si è utilizzato il software freeware TXline un software semplice ed intuitivo.

Dalla Figura 3.23 si può notare che l'adattamento di impedenza a 100Ω è stato ottenuto considerando una larghezza di linea di 13mils ed una distanza tra le linee differenziali di 30mils².

La costante dielettrica relativa della vetronite (FR-4) assume un valore compreso tra 4.4 e 5 e l'assunzione di un valore anziché un altro varia l'impedenza caratteristica di circa il 5% rendendo la scelta sostanzialmente ininfluente nel computo totale.

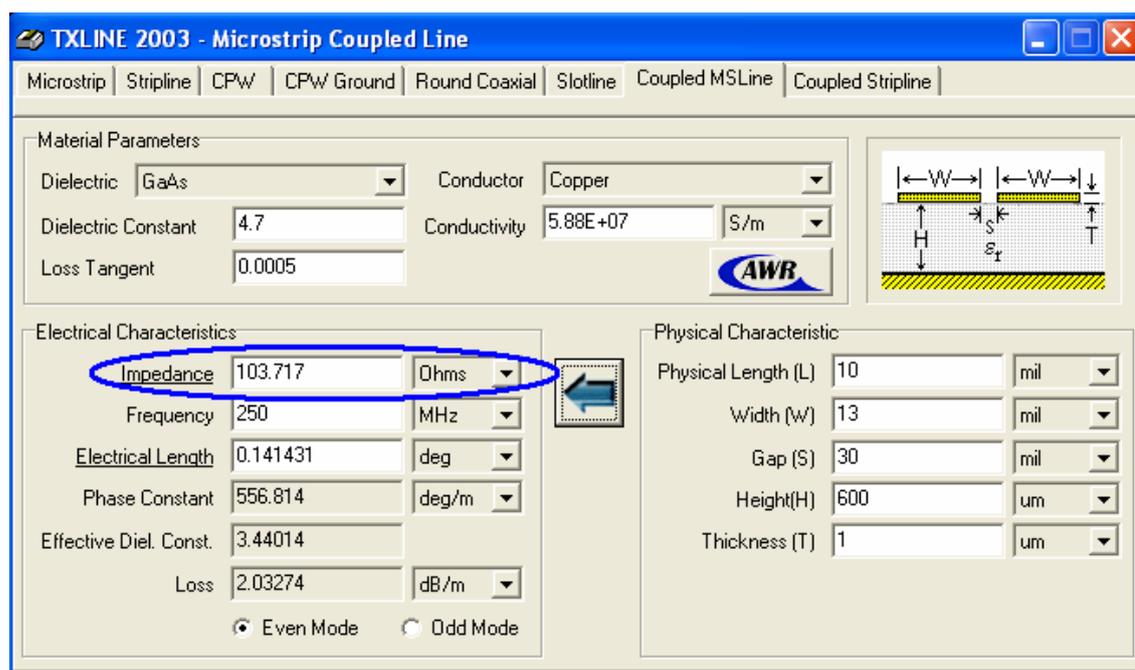


Figura 3.23: Interfaccia grafica del programma Txline utilizzato per calcolare l'impedenza caratteristica delle differential microstip.

² 1mils=0.0254mm.

3.6.4 I file denominati Gerber

A sbroglio terminato si può eseguire un Design Rule Check per verificare che siano stati soddisfatti i requisiti progettuali.

Se il progetto non presenta errori in fase di verifica, la finestra di stato di Allegro PCB Designer presenterà tutte le voci contrassegnate da caselle di colore verde, come mostra la Figura 3.24.

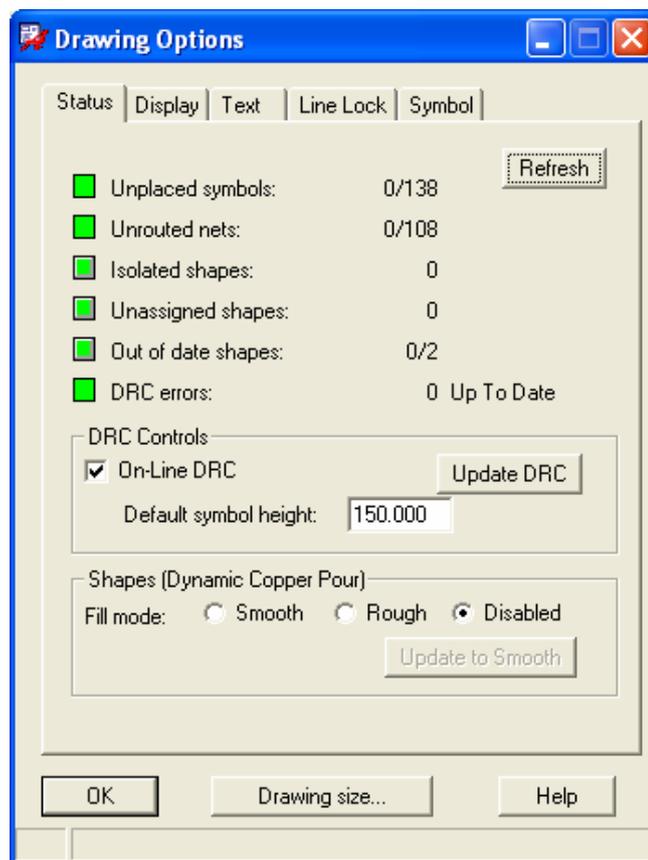


Figura 3.24: Finestra grafica di stato dell'Allegro PCB Editor a sbroglio terminato con successo.

La fase finale della progettazione di una scheda è la generazione di file Gerber, che è il formato contenente i dati necessari per la produzione industriale della scheda stessa.

Un file Gerber è creato per ognuno dei layer utilizzati nella scheda, quindi nel nostro caso i file Gerber creati sono TOP, GND, VCC, BOTTOM.

La realizzazione fisica della scheda è stata affidata ad un'azienda produttrice di circuiti stampati che ha reso disponibile l'oggetto in questione in tempi brevi.

Una volta disponibile il PCB si è passati alla fase di wire-bonding del chip ed al montaggio dei componenti per la successiva fase di test.

In Figura 3.25 possiamo vedere le due facce della scheda realizzata e in Figura 3.26 e 3.27 la successiva fase di wire-bonding del chip sulla scheda.

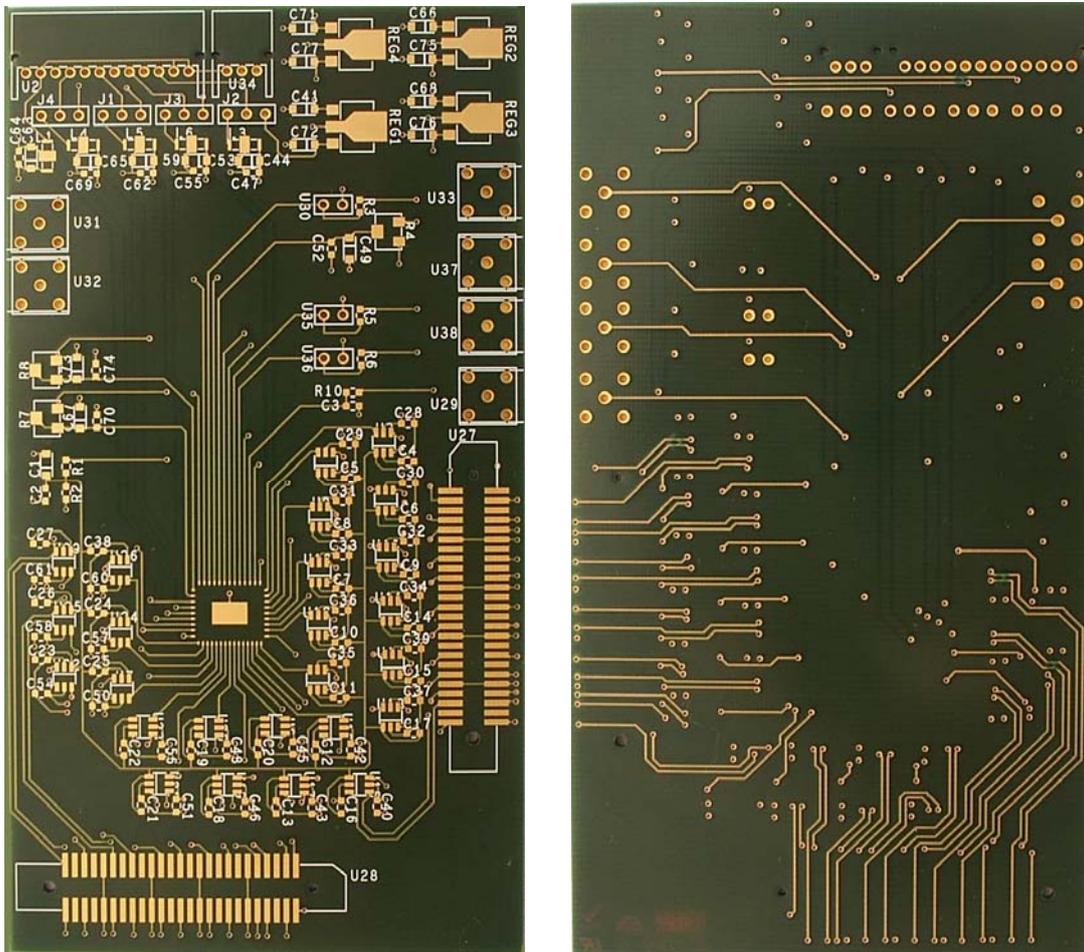


Figura 3.25: A sinistra è mostrata la foto del TOP layer e a destra del BOTTOM layer della scheda realizzata.

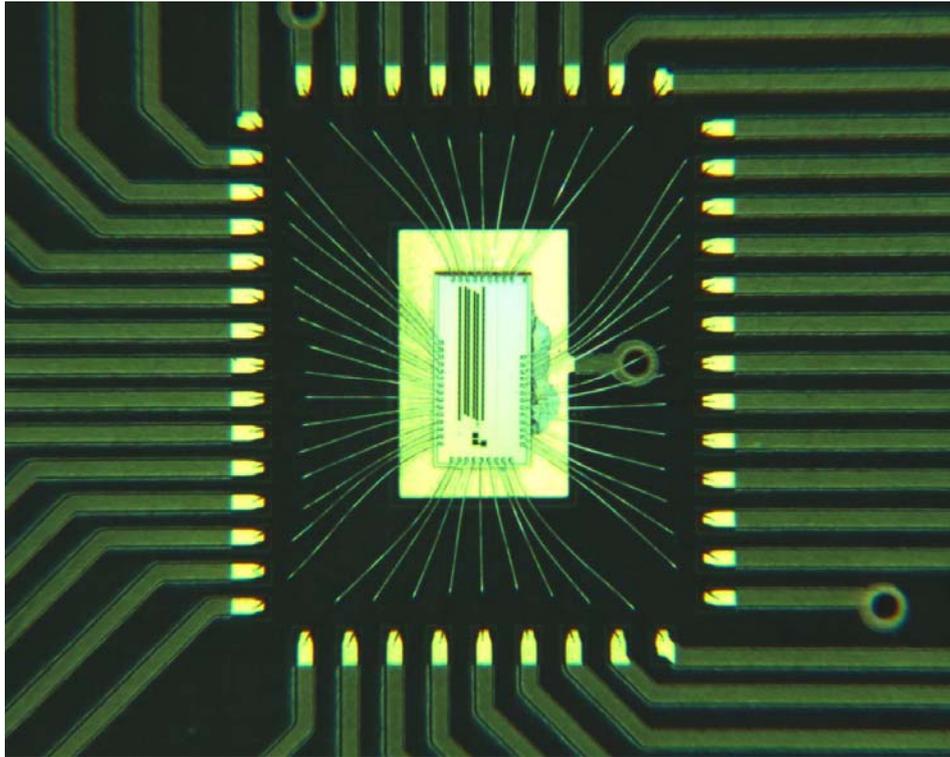


Figura 3.26: Foto del wire-bonding realizzato sulle piazzole della scheda.

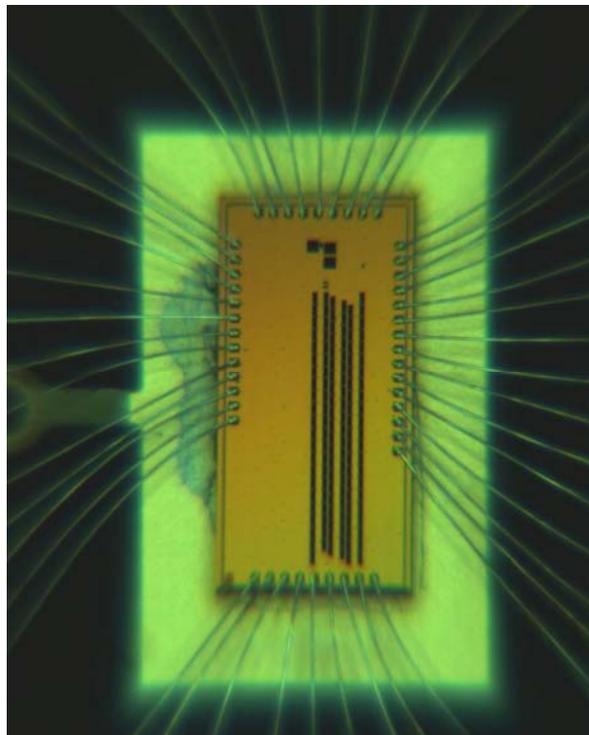


Figura 3.27: Foto del wire-bonding realizzato sulle pad del chip.

Capitolo 4

Misure preliminari con la scheda di test

L'ultimo capitolo di questo lavoro di tesi sarà dedicato ai risultati sperimentali di test del chip ottenuti grazie all'impiego della scheda descritta nel capitolo precedente. Tali test hanno permesso di dimostrare che la scheda realizzata soddisfa pienamente le specifiche di progetto.

Le misure compiute sul chip sono preliminari ad una caratterizzazione completa attualmente in fase di svolgimento. Tale caratterizzazione non è stata aggiunta in questa tesi a seguito della tempistica di consegna del chip, della successiva fase di bonding e del tempo dedicato al montaggio dei componenti sulla scheda.

La vasta complessità del circuito integrato dovuta alle interconnessioni tra stadi interni, alla richiesta d'interfacciamento veloce verso l'esterno e la presenza contemporanea di una sezione analogica e una digitale, comporta una probabile iterazione del chip per raggiungere gli obiettivi prefissati.

Grazie alla fase di analisi si possono riscontrare eventuali malfunzionamenti del sistema e promuovere interventi da parte del progettista in modo da migliorare le successive versioni dell'integrato.

Come abbiamo visto nei precedenti capitoli l'architettura del chip prevede al suo interno diversi blocchi funzionali, dove il preamplificatore ed il convertitore sono le strutture che influiscono maggiormente sull'elaborazione del segnale. Pertanto, la caratterizzazione del dispositivo si deve concentrare principalmente su questi due

componenti. In questo lavoro, l'attenzione è stata rivolta al blocco di preamplificazione del segnale, essendo i test sull'ADC ancora in fase di svolgimento.

4.1 Setup sperimentale

In Figura 4.1 è mostrato il setup sperimentale utilizzato per il test del preamplificatore. Esso è costituito da un generatore di segnale ad alta frequenza, per stimolare in ingresso il preamplificatore, un oscilloscopio digitale ad alte prestazioni per misurarne la risposta, una sonda differenziale per evitare qualsiasi perturbazione all'uscita del preamplificatore ed infine un alimentatore da banco.

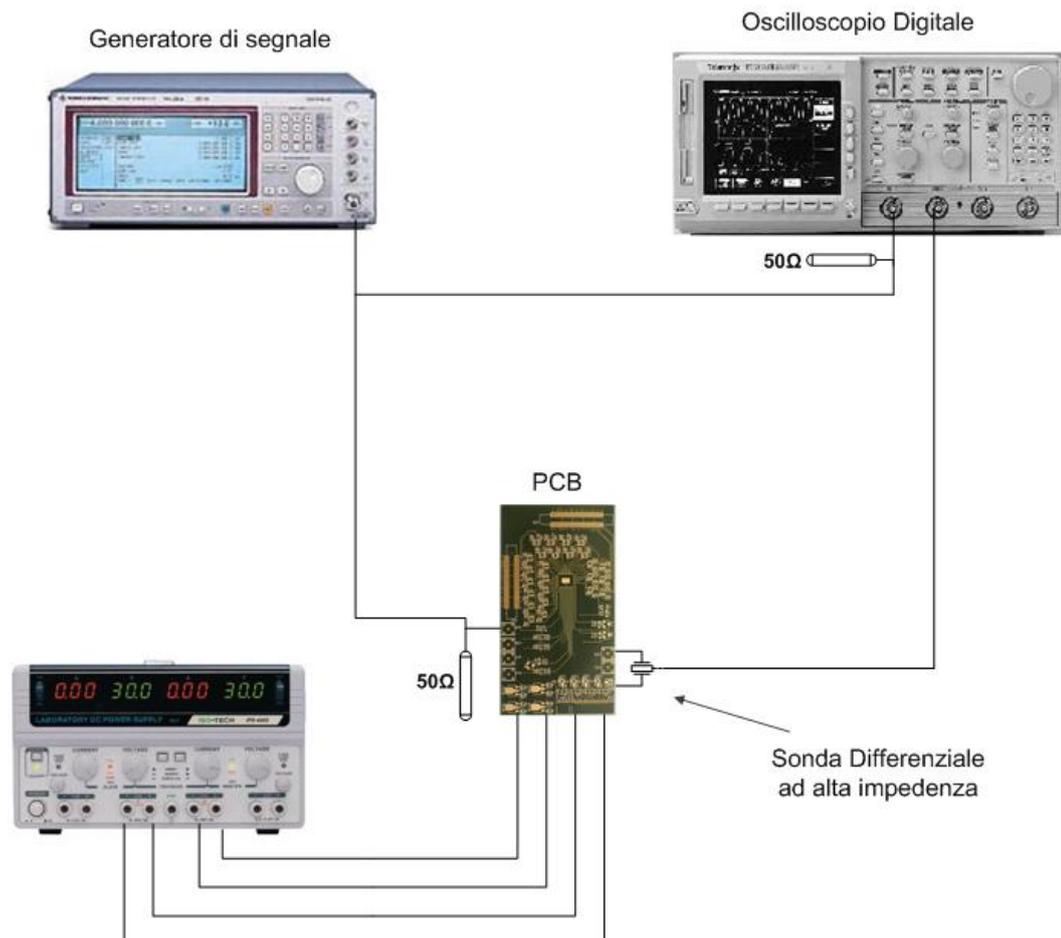


Figura 4.1: Strumenti da banco impiegati per il test dell'amplificatore e loro interconnessione con la scheda di test.

Il tipo e le caratteristiche degli strumenti usati sono le seguenti:

- Oscilloscopio Digitale Real Time Tektronix TDS684B con banda passante di 1GHz, 4 canali e velocità di campionamento di 5Gs/s per canale.
- Generatore di segnale Rohde & Schwarz SMT03 con intervallo di frequenze 5 kHz -3 GHz.
- Sonda Differenziale attiva Tektronix con banda passante di 1,5GHz.
- Alimentatore stabilizzato ISOTECH IPS-3303.
- Cavi coassiali BNC-LEMO (RG174).
- Connettori BNC.

Per eliminare qualsiasi riflessione del segnale sugli strumenti, la misura deve essere effettuata in condizioni di adattamento, altrimenti ne conseguirebbe una distorsione inaccettabile. Per adattare i terminali delle apparecchiature di misura alle linee di trasmissione collegate al circuito stampato si è inserito in parallelo all'ingresso dell'oscilloscopio e del preamplificatore un terminatore di 50Ω collegato tramite un connettore a T (Figura 4.2).



Figura 4.2: Adattamento di impedenza con terminatore a 50Ω mediante l'ausilio di un connettore a T di tipo BNC.

Come richiesto dalle specifiche progettuali, il chip è stato alimentato con di una tensione di 1.2V sui rispettivi pin. L'assorbimento di corrente misurato è stato di circa 30mA, corrispondente ad una dissipazione di potenza di circa 36mW.

Le linee di trasmissione utilizzate sono dei cavi coassiali di tipo RG174 e per acquisire i segnali in uscita dall'amplificatore con l'oscilloscopio si è utilizzata una sonda attiva differenziale ad alta impedenza.

L'utilizzo di una sonda differenziale attiva permette di eseguire misure più precise sui circuiti ad alta frequenza ed ad alta densità, rispetto alle sonde passive. Infatti, in tali circuiti, le sonde diventano parte del circuito, introducendo carichi resistivi, capacitivi e induttivi non trascurabili, alterando inevitabilmente la misura. Per ottenere buoni risultati occorre selezionare una sonda che introduca il minimo carico possibile, caratteristica soddisfatta dalla sonda differenziale ad alta impedenza.

Il canale 1 dell'oscilloscopio è stato utilizzato per misurare il segnale in ingresso al chip mentre il canale 2 per misurare l'uscita differenziale del preamplificatore priva di stadio di buffer.

L'oscilloscopio è stato sincronizzato sul canale 1 e sui due canali è stata attivata l'operazione di media con 200 campionamenti per misura. L'operazione permette di ridurre il rumore in uscita e determinare meglio i parametri intrinseci del preamplificatore.

4.2 Misura di banda e guadagno dell'amplificatore

La prima fase di caratterizzazione del dispositivo è stata la verifica delle specifiche di progetto dell'amplificatore in termini di banda e guadagno.

Dalle simulazioni realizzate durante la fase di progettazione, l'amplificatore interno al chip risulta avere una banda passante di circa 1GHz a 0dB e 500MHz a 20dB valutata a -3dB del guadagno in continua.

La risposta in frequenza dell'amplificatore è stata calcolata inviando in ingresso un segnale sinusoidale nell'intervallo di frequenze da 100KHz a 300MHz ed ampiezza 20mV come misurata dal canale 2 dell'oscilloscopio. Essendo il canale 1 dell'oscilloscopio e l'ingresso dell'amplificatore alimentati e terminati allo stesso modo, l'ampiezza così misurata è rappresentativa del segnale d'eccitazione del chip.

Il guadagno G è definito in decibel mediante la formula :

$$G(f) = 20 \log_{10} \frac{|V_{out}|}{|V_{in}|} [dB],$$

dove $|V_{in}|$ e $|V_{out}|$ sono i moduli dei segnali e d'uscita rispettivamente e f la frequenza.

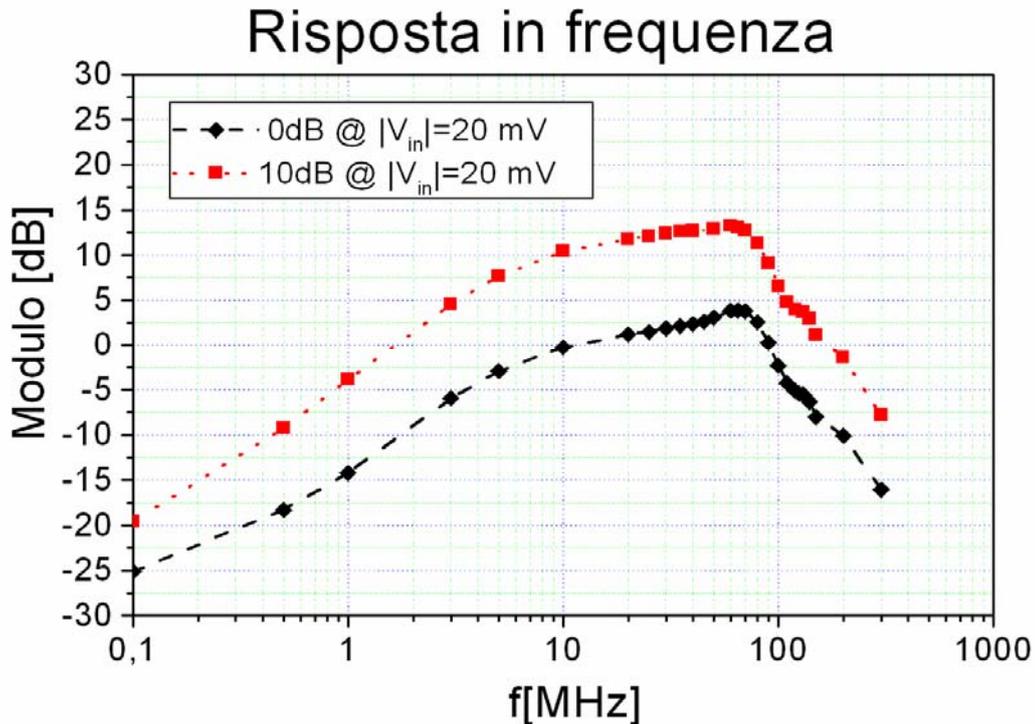


Figura 4.3: Diagramma del modulo della risposta in frequenza del preamplificatore per i livelli di guadagno 0dB e 10dB.

Il risultato della misura del guadagno al variare della frequenza è riportato in Figura 4.3 e presenta le seguenti caratteristiche principali:

1. A bassa frequenza si ha un taglio del guadagno dovuto alla presenza di una capacità di accoppiamento all'ingresso dell'amplificatore ed integrata sul chip.
2. Il guadagno nominale si ha ad una frequenza pari a 10 MHz.
3. Il guadagno massimo è raggiunto a circa 70 MHz e differisce dal valore nominale di circa 4(3)dB per la cella con guadagno nominale pari a 0(10)dB.
4. Oltre il guadagno massimo si ha rapida diminuzione con la frequenza (roll-off) con pendenza di circa -30dB/decade.

Attraverso l'analisi della risposta in frequenza del sistema possiamo dare una prima valutazione delle caratteristiche del preamplificatore e, eventualmente, iniziare una discussione critica sull'adeguatezza del setup sperimentale. Tale analisi e discussione esula dagli obiettivi di queste misure preliminari.

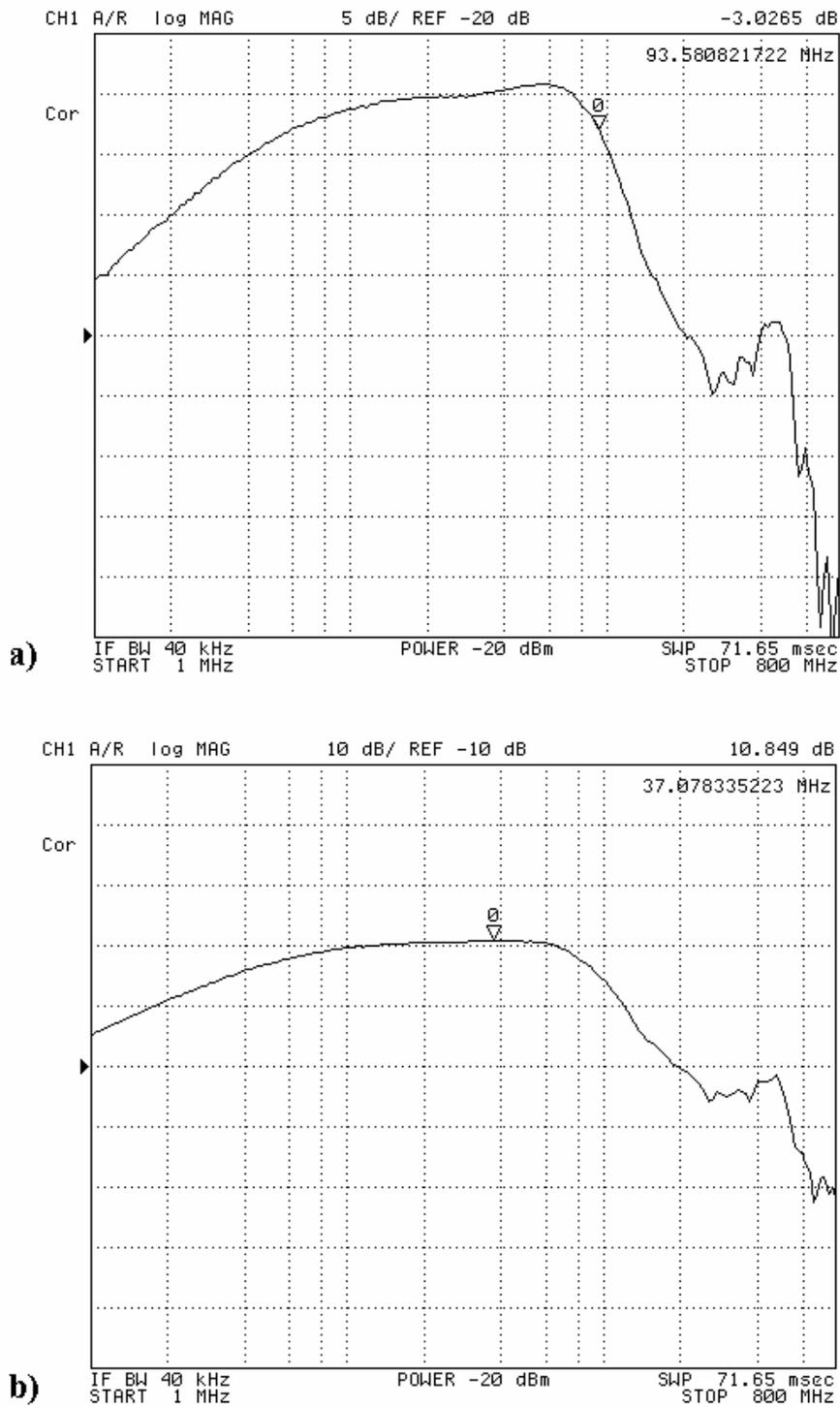


Figura 4.4: Risposta in frequenza per 0dB (a) e 10dB (b) di guadagno misurata mediante un analizzatore di spettro in configurazione network.

La banda passante è stata misurata in modo complementare al metodo indicato mediante un analizzatore di spettro in configurazione network. La misura risultante è mostrata in Figura 4.4 per entrambi i guadagni dell'amplificatore e nelle stesse condizioni di polarizzazione. E' possibile notare come le due misure sono consistenti tra loro.

4.3 Misure di linearità

La linearità dell'amplificatore consiste nella relazione di proporzionalità lineare tra ingresso e uscita. Per studiare la linearità dell'amplificatore è stata osservata la variazione dell'ampiezza del segnale d'uscita in funzione della variazione del segnale in ingresso a centro banda. L'ampiezza del segnale sinusoidale d'ingresso è stata variata da 1mV a 950mV mantenendo la sua frequenza al valore di centro banda comune ai due livelli di guadagno, cioè pari a 50MHz.

La Figura 4.5 mostra i risultati ottenuti dalle misure effettuate per i valori nominali di guadagno pari a 0dB e 10dB. Per entrambe le configurazioni quando la tensione d'uscita raggiunge circa 500mV si ha la perdita di linearità tra segnale d'ingresso e d'uscita. Questo segnala il manifestarsi di fenomeni di saturazione del preamplificatore a seguito della massima dinamica raggiunta dai suoi stadi di uscita.

A seguito dei diversi guadagni la perdita di linearità tra ingresso e uscita avviene a 150mV di segnale d'ingresso, per un guadagno nominale di 10dB ed a 500mV per un guadagno nominale di 0dB.

Allo scopo di quantificare l'instaurarsi della non linearità del preamplificatore abbiamo interpolato la curva di linearità sperimentale con un polinomio di ordine superiore al primo definito dalla formula:

$$|V_{out}| = |V_{in}|G_1 + |V_{in}|^2 \frac{G_2}{2} + |V_{in}|^3 \frac{G_3}{3},$$

Nel caso di guadagno nominale pari a 0dB si è ottenuta una buona approssimazione dei dati sperimentali con un polinomio di grado 3 mentre per il guadagno nominale pari a 10dB è stato sufficiente un polinomio di grado due.

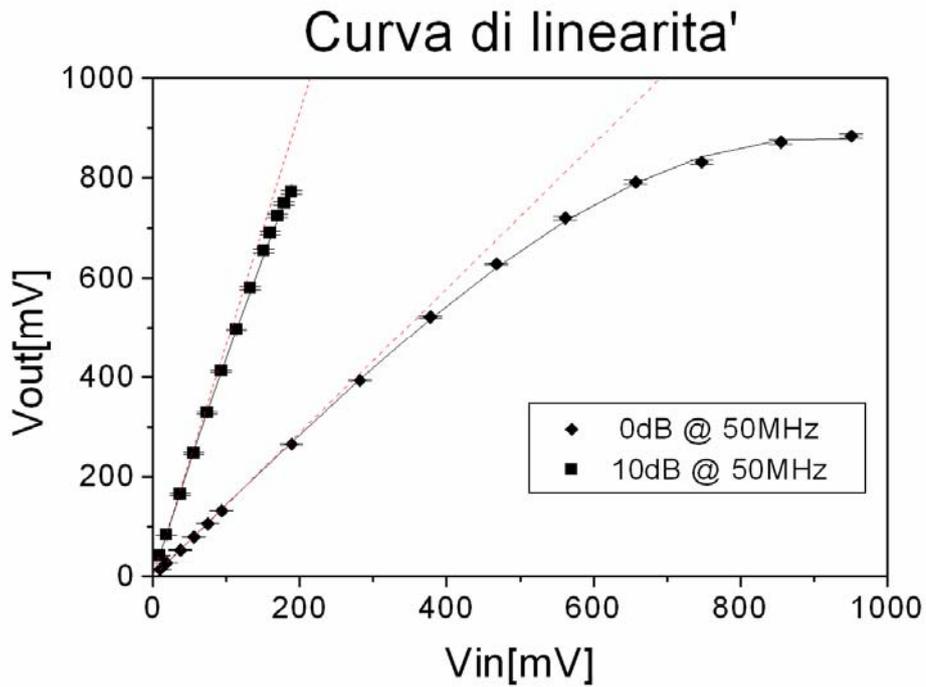


Figura 4.5: Curva di linearità a centro banda (50MHz) per 0dB e 10dB di guadagno dell'amplificatore. Le curve continue sovrapposte ai punti sperimentali corrispondono ad un fit non-lineare dei dati e le curve tratteggiate alla loro componente lineare.

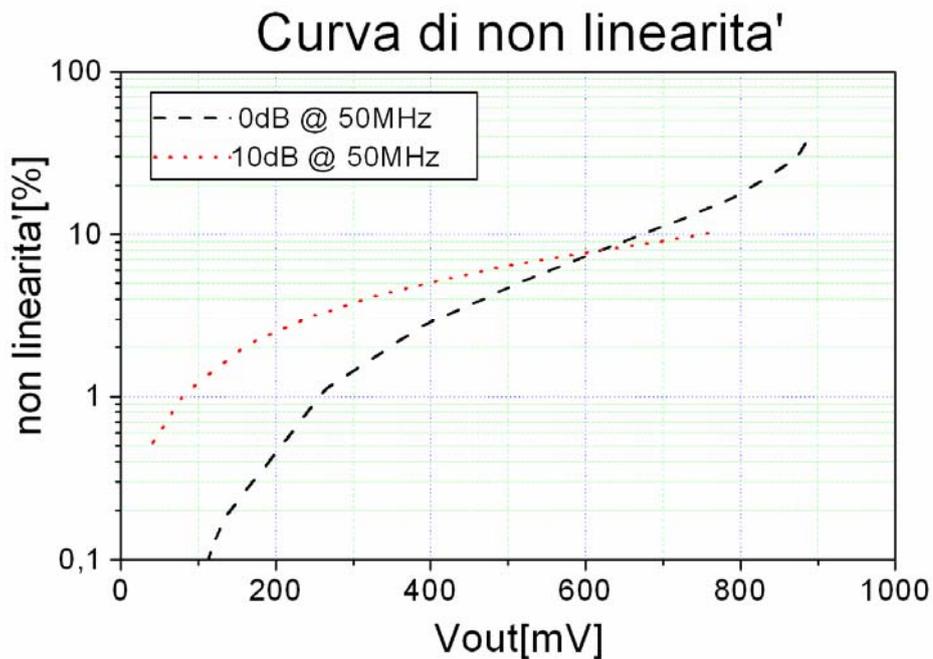


Figura 4.6: Non linearita percentuale a centro banda (50MHz) per 0dB e 10dB di guadagno dell'amplificatore rispetto all'ampiezza del segnale d'uscita.

Nella Figura 4.5 sono riportati i risultati dell'interpolazione sovrapposti ai dati sperimentali. I polinomi di interpolazione considerati sono privi di termine costante (offset), quindi i termini G_2 e G_3 di ordine superiore al primo rappresentano la componente non lineare della risposta. La componente lineare G_1 è mostrata sul grafico mediante una linea tratteggiata per evidenziare in modo visivo lo scostamento dalla linearità al crescere dell'ampiezza del segnale d'ingresso.

In Figura 4.6 si è rappresentato in modo quantitativo la non linearità dell'amplificatore per grandi segnali, definita come la differenza relativa percentuale tra risposta e parte lineare dell'amplificatore, che può essere scritta come:

$$NL = \frac{|V_{out}| - |V_{in}|G_1}{|V_{in}|G_1} \cdot 100 = \frac{|V_{in}|\frac{G_2}{2} + |V_{in}|^2\frac{G_3}{3}}{G_1} \cdot 100.$$

E' possibile osservare come la linearità si mantiene ad un valore accettabile per segnali in uscita nel range compreso tra 0 e circa 300mV, un valore compatibile con le specifiche di progetto.

Conclusioni e sviluppi futuri

Le richieste stringenti della tecnica del Cluster Counting applicato al conteggio dei singoli atti di ionizzazione all'interno di un rivelatore a gas ha richiesto la realizzazione di un chip di lettura VLSI in tecnologia CMOS 0.13 μ m.

Nel presente lavoro di tesi è stato descritto, oltre ai rivelatori a deriva e la tecnica del Cluster Counting, assieme ai dettagli del chip di lettura, il contributo da me dato alla progettazione e realizzazione della scheda di test del chip medesimo.

Durante i mesi trascorsi in laboratorio ho seguito tutte le fasi del progetto: definizione degli obiettivi di test, disegno del circuito, scelta dei componenti disponibili sul mercato, progettazione del layout della scheda mediante il programma Allegro PCB della Cadence, realizzazione della scheda, wire-bonding del chip, saldatura dei componenti discreti e test di funzionalità sia della scheda che del chip.

Una particolare enfasi è stata data al lavoro di realizzazione della scheda mediante il software Allegro PCB del tipo CAD che ha permesso di gestire tutte le fasi di sviluppo in un ambiente ben definito e flessibile.

La scelta del layout della scheda e la dislocazione delle piste circuitali sono stati aspetti qualificanti del lavoro, tesi a non influenzare significativamente il segnale elaborato dal chip. In particolare la ricerca di opportuni driver per la conversione dei segnali digitali CMOS in uscita dal chip in segnali LVDS e la scelta del tipo di stack-up dei piani della scheda multi-strato sono state fasi fondamentali nel processo di ingegnerizzazione.

Il lavoro di tesi si è concluso con i primi risultati sperimentali di test del chip. Questi test sono stati possibili grazie all'impiego della scheda da me realizzata la quale è risultata assente di errori e ha soddisfatto pienamente le specifiche di progetto. La completa caratterizzazione del chip è in corso di svolgimento. Comunque in questo lavoro è stato possibile misurare la banda passante del chip con due tecniche differenti e risultati confrontabili e determinare la linearità dello stadio di preamplificazione.

Appendici

Sono state inserite due appendici per illustrare in modo completo i dettagli dello schema circuitale e del layout fisico della scheda di test.

Le appendici sono le seguenti:

Appendice A: Circuito Elettrico della Scheda di Test.

Appendice B: Layout della Scheda di Test.

Appendice A

Circuito Elettrico della Scheda di Test

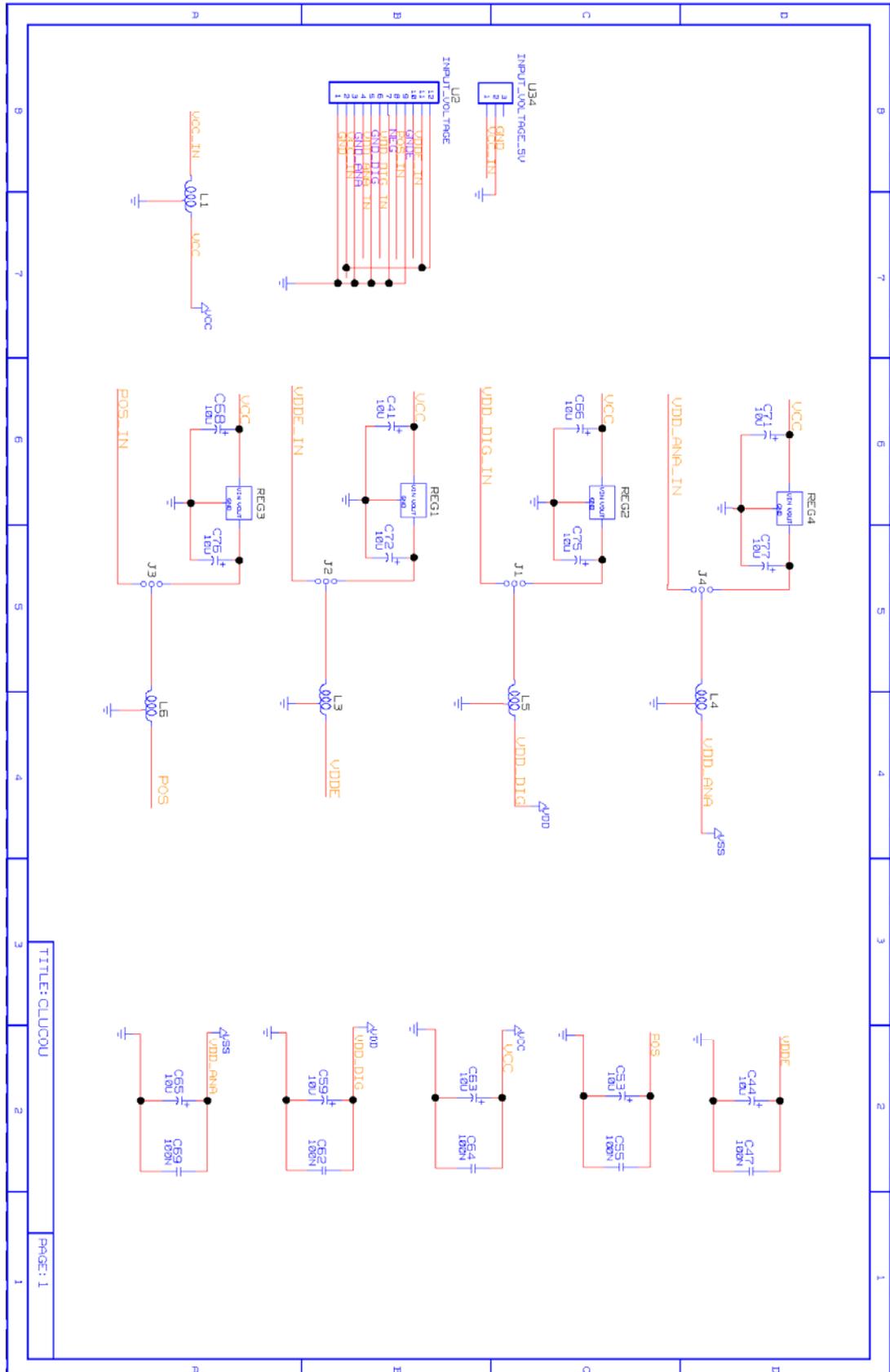


Figura A1: Foglio 1

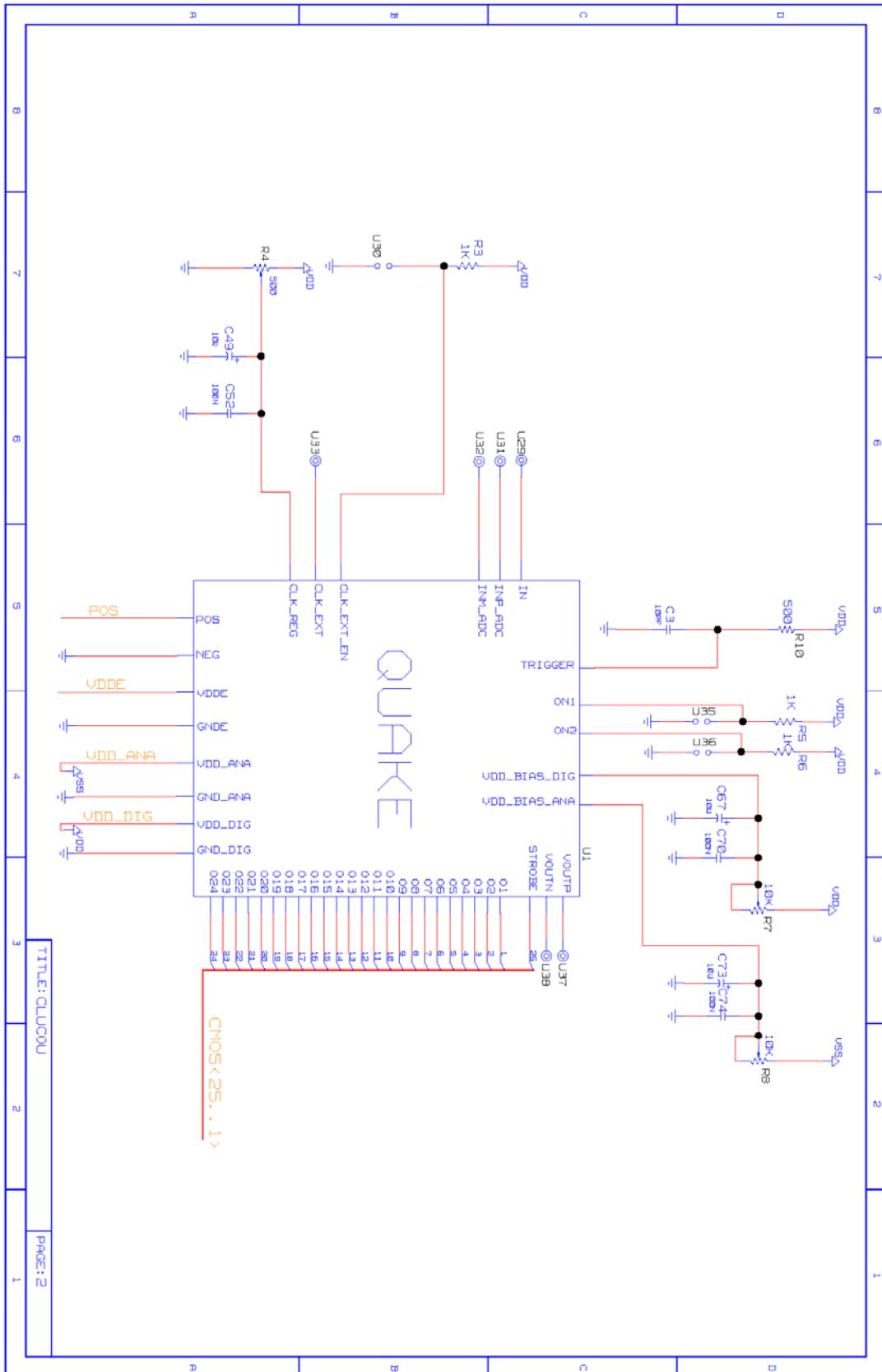


Figura A2: Foglio 2

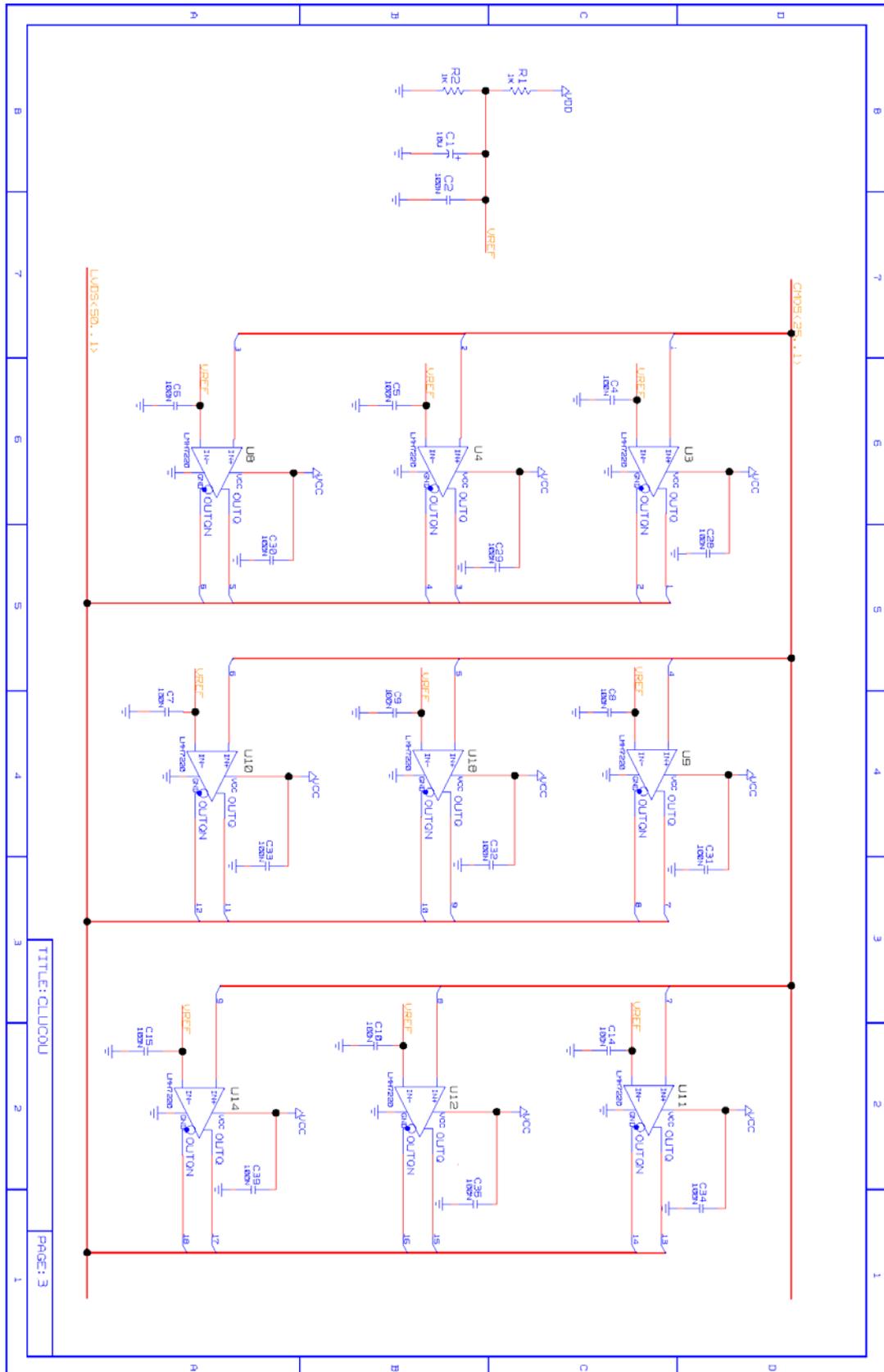


Figura A3: Foglio 3

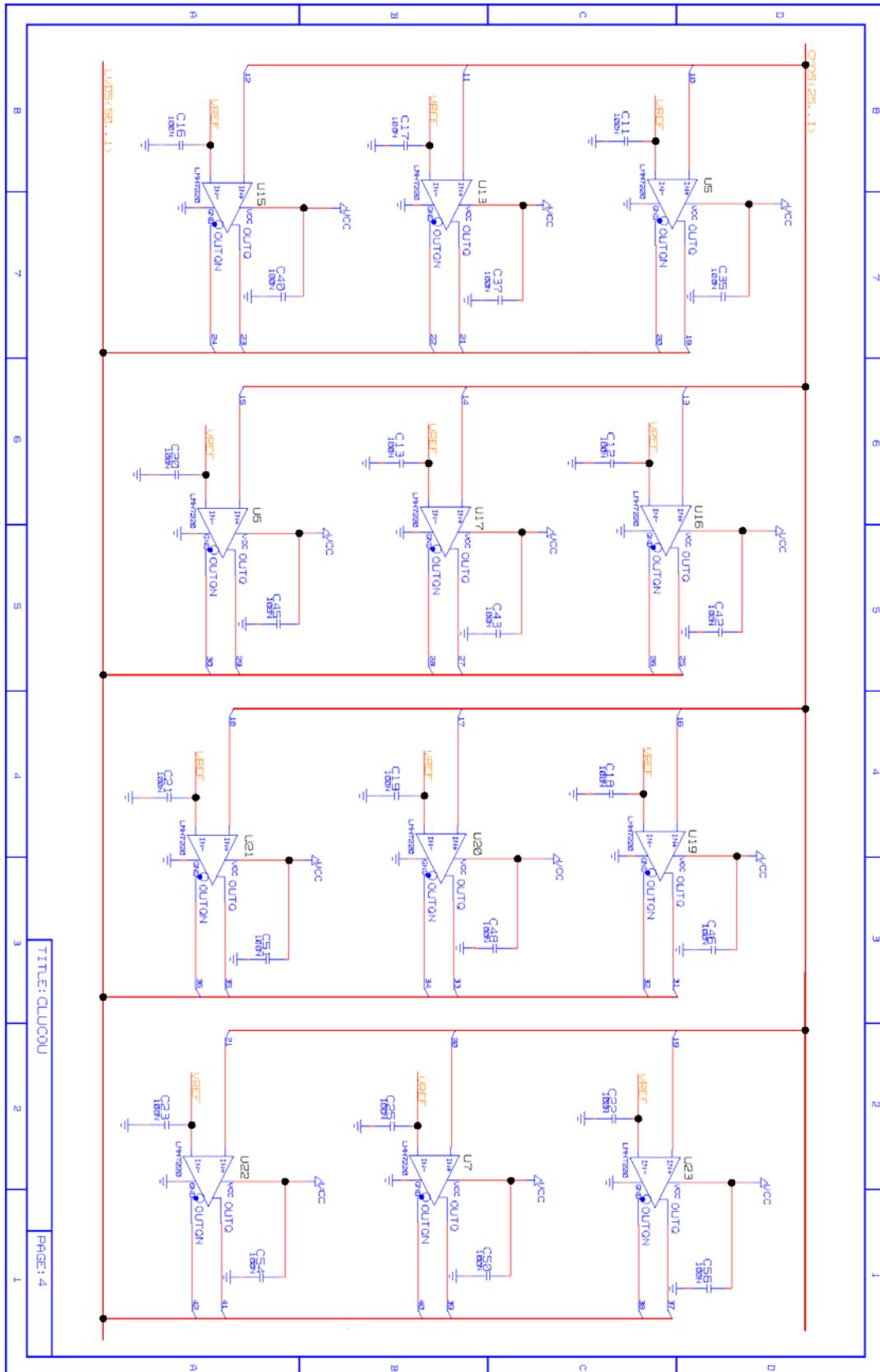


Figura A4: Foglio 4

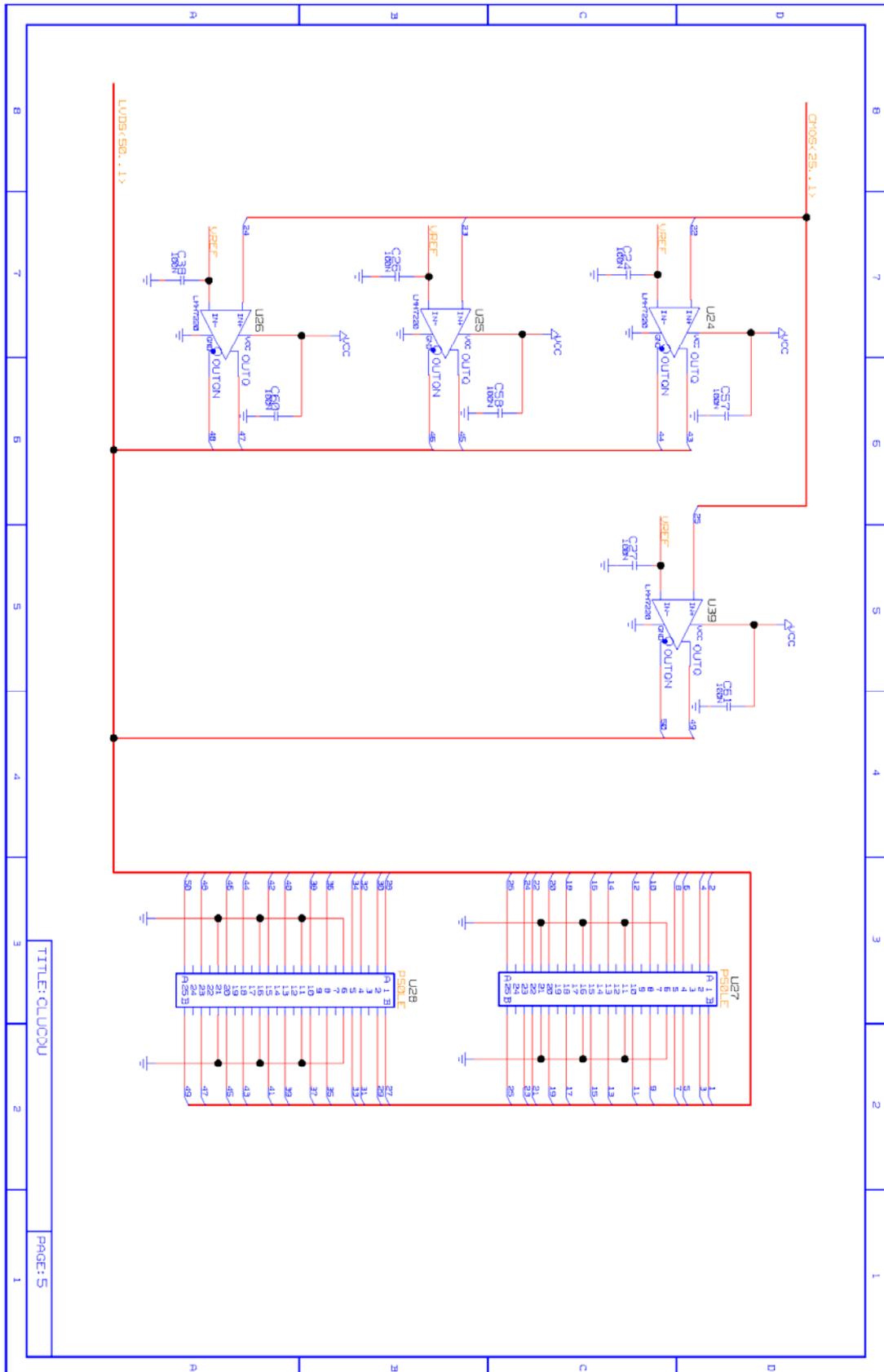


Figura A5: Foglio 5

Appendice B

Layout della Scheda di Test

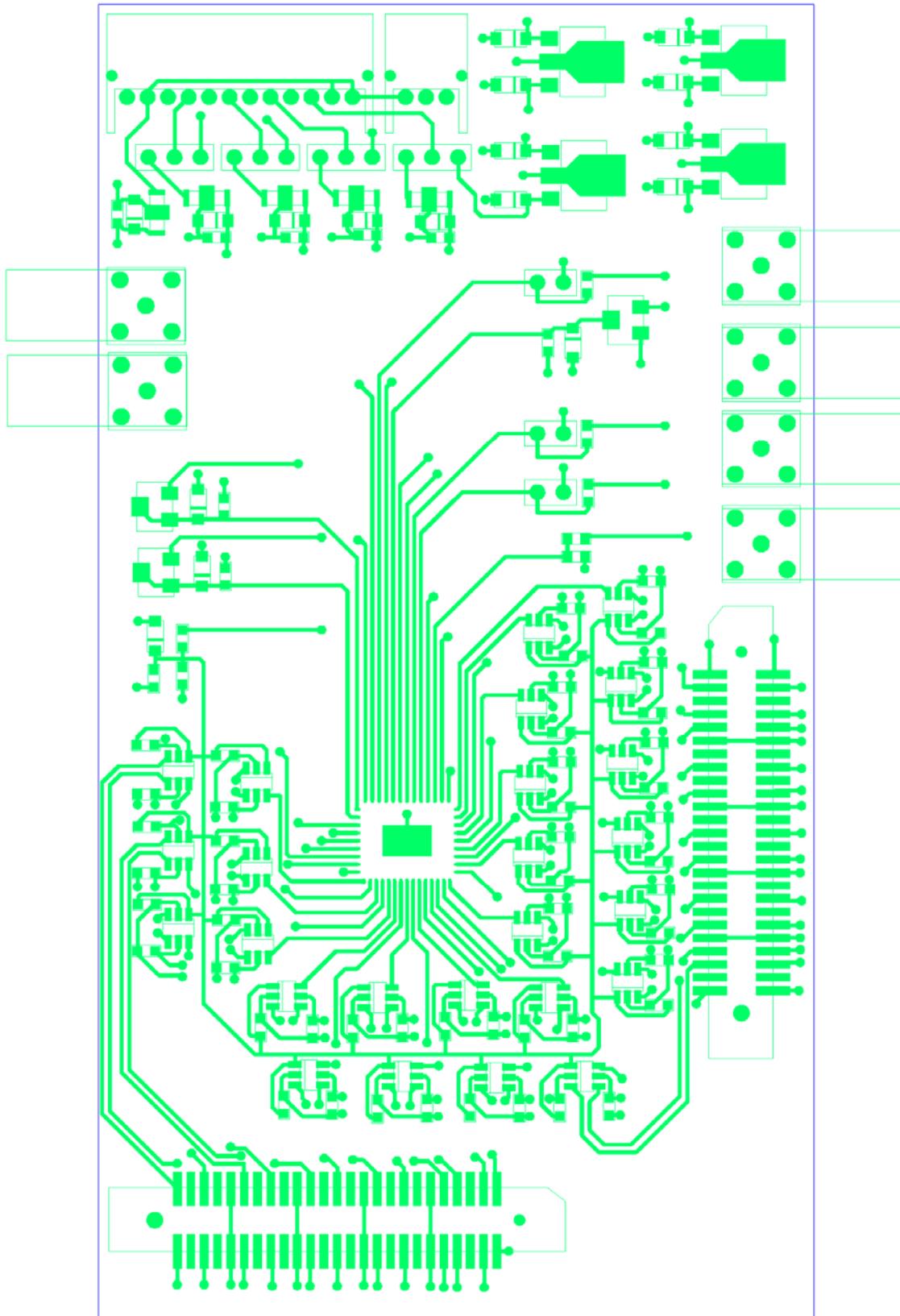


Figura B1: TOP LAYER

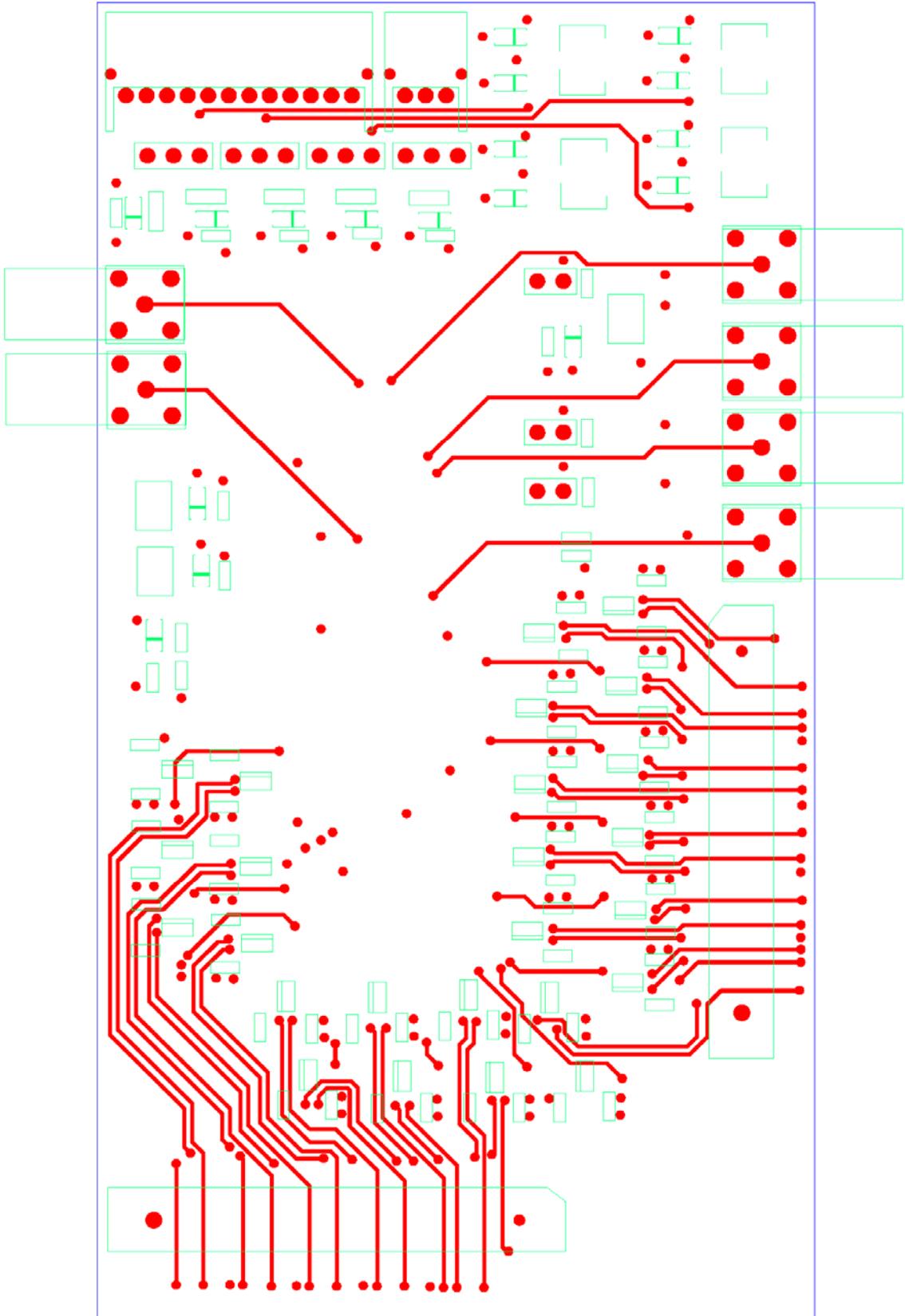


Figura B2: BOTTOM LAYER

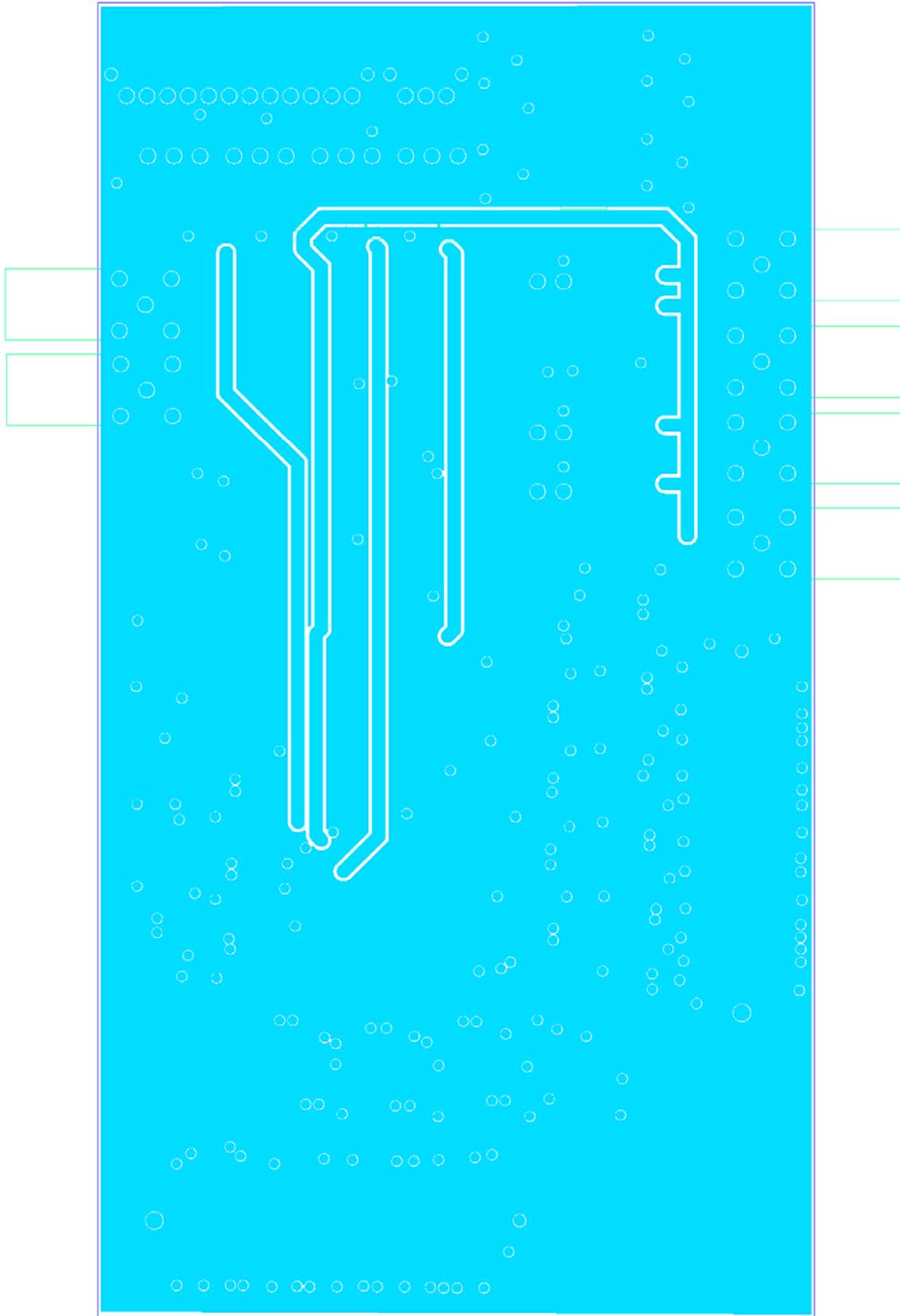


Figura B3: GROUND LAYER

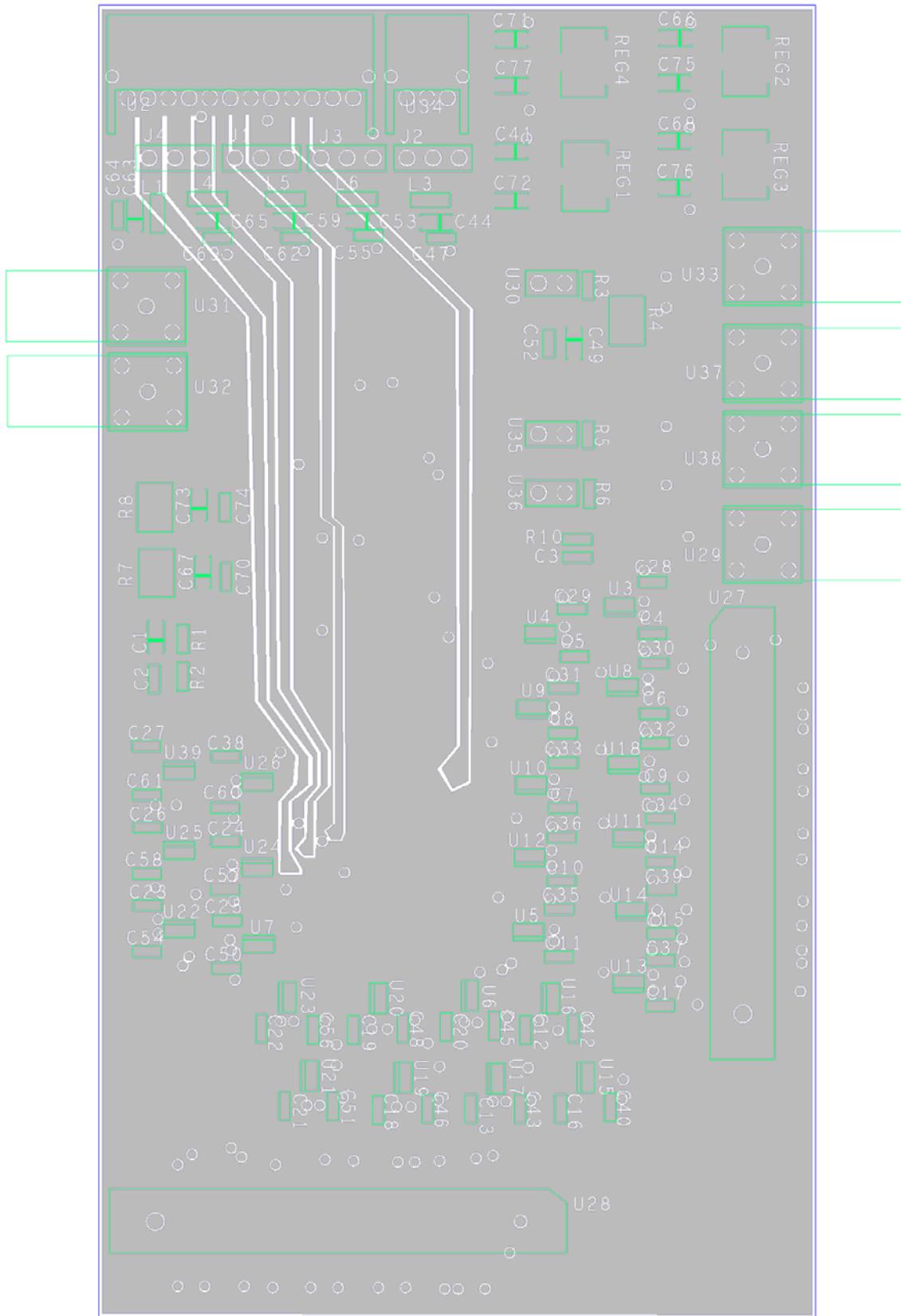


Figura B4: POWER LAYER

Bibliografia

CAPITOLO 1

[1] Tsoufanidis Nicholas: “*Measurement and detection of radiation*” 2-nd edition, Taylor and Francis (1995).

[2] Bogdan Povh, Klaus Rith, Cristoph Scholz, Frank Zetsche: *Particelle e nuclei - Un'introduzione ai concetti fisici*. Bollati Boringhieri, Bologna.

[3] Giovanni Francesco Tassielli: Dottorato di ricerca in Fisica- *A gas tracking device based on Cluster Counting for future colliders*, Università del Salento-Facoltà di scienze MM. FF. NN (2007-2008).

[4] G. F. Tassielli, F. Grancagnolo, S. Spagnolo: *Improving spatial resolution and particle identification*. NIM A 572, 198-200 (2007).

[5] <http://www.ct.infn.it/~rivel/Tipi/Ioniz/riv-gas>

CAPITOLO 2

[6] A. Baschiroto, S. D'Amico, F. Grancagnolo, M. Panareo, R. Perrino, G. Chiodini, G. F. Tassielli: *A CMOS high speed front-end for cluster counting techniques in ionization detectors*. Proceeding della conferenza internazionale IWASI 2007 2-nd IEEE International Workshop on Advances in Sensors and Interfaces, 26/27 giugno 2007, Bari (Italy).

[7] Volha Varlamava: Tesi di laurea in Microelettronica- *Circuito d'interfaccia per camera a drift in tecnologia integrata CMOS 0.13 μ m*, Università del Salento-Facoltà d'Ingegneria (2006-2007).

[8] Rehar Razavi: *RF Microelectronics*, Prentice Hall PTR (1998).

CAPITOLO 3

[9] Howard W. Johnson, PH.D. Olympic Technology Group: *High Speed Digital Design*.

[10] Cadence Allegro PCB Layout System Training Manual.

[11] <http://www.emprotect.enea.it/html/Relazioni>.

[12] <http://www.alldatasheet.com/>.